

(translation of the front page of the priority document of
Japanese Patent Application No. 11-032255)

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of the
following application as filed with this Office.

Date of Application: February 10, 1999
Application Number: Patent Application 11-032255
Applicant(s) : Canon Kabushiki Kaisha

March 12, 1999

Commissioner,
Patent Office

Takeshi ISAYAMA

Certification Number 11-3014347

日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

CFM 1466 US. LEX / KR
09/248,980
2/12/99
GAU-2711

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
in this Office.

出願年月日
Date of Application:

1999年 2月10日

願番号
Application Number:

平成11年特許願第032255号

願人
Applicant(s):

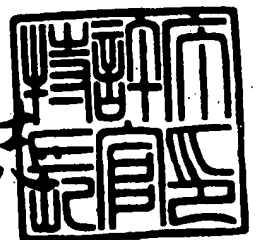
キャノン株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

1999年 3月12日

特許庁長官
Commissioner,
Patent Office

山田 佐平



【書類名】 特許願

【整理番号】 3920073

【提出日】 平成11年 2月10日

【あて先】 特許庁長官殿

【国際特許分類】 H01J 1/30

【発明の名称】 画像形成装置及び電子線装置及び変調回路及び画像形成装置の駆動方法

【請求項の数】 34

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内

【氏名】 阿部 直人

【特許出願人】

【識別番号】 000001007

【氏名又は名称】 キヤノン株式会社

【代理人】

【識別番号】 100076428

【弁理士】

【氏名又は名称】 大塚 康德

【電話番号】 03-5276-3241

【選任した代理人】

【識別番号】 100093908

【弁理士】

【氏名又は名称】 松本 研一

【電話番号】 03-5276-3241

【選任した代理人】

【識別番号】 100101306

【弁理士】

【氏名又は名称】 丸山 幸雄

【電話番号】 03-5276-3241

【先の出願に基づく優先権主張】

【出願番号】 平成10年特許願第 33369号

【出願日】 平成10年 2月16日

【先の出願に基づく優先権主張】

【出願番号】 平成10年特許願第126460号

【出願日】 平成10年 5月 8日

【手数料の表示】

【予納台帳番号】 003458

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704672

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像形成装置及び電子線装置及び変調回路及び画像形成装置の駆動方法

【特許請求の範囲】

【請求項 1】 画像を形成する画像形成デバイスと、
画像信号に応じてパルス幅変調信号を発生するパルス幅変調手段とを有しており、

前記パルス幅変調手段は、第 1 のクロック信号を、前記画像信号に応じて計数することによってパルス幅変調信号を生成するものであり、前記第 1 のクロック信号は第 2 のクロック信号に対応するクロック信号を出力するか否かを選択することによって生成されたものであることを特徴とする画像形成装置。

【請求項 2】 前記第 2 のクロック信号は、規則的な周期を有するクロック信号であることを特徴とする請求項 1 に記載の画像形成装置。

【請求項 3】 前記第 2 のクロック信号に対応するクロック信号を出力するか否かの選択は、前記第 2 のクロック信号をそのまま出力するか否かの選択に相当することを特徴とする請求項 1 又は 2 に記載の画像形成装置。

【請求項 4】 前記第 2 のクロック信号に対応するクロック信号を出力するか否かの選択は、前記第 2 のクロック信号を計数して、該計数値に応じて行われることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の画像形成装置。

【請求項 5】 前記第 2 のクロック信号に対応するクロック信号を出力するか否かを選択するための情報を記憶する記憶手段を更に有することを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の画像形成装置。

【請求項 6】 前記第 2 のクロック信号のパルス数を計数するカウンタと、該カウンタの出力に応じて前記第 2 のクロック信号に対応するクロック信号を出力するか否かを選択する手段とを有することを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の画像形成装置。

【請求項 7】 前記選択する手段は、前記カウンタの出力をデコードするデコーダを有することを特徴とする請求項 6 に記載の画像形成装置。

【請求項 8】 前記選択する手段は、前記カウンタの出力がアドレスとして

入力され、前記第 2 のクロック信号に対応するクロック信号を出力するか否かを選択するための情報を出力する記憶手段を有することを特徴とする請求項 6 に記載の画像形成装置。

【請求項 9】 画像を形成する画像形成デバイスと、
画像信号に応じてパルス幅変調信号を発生するパルス幅変調手段とを有しており、

前記パルス幅変調手段は、第 1 のクロック信号を、前記画像信号に応じて計数することによってパルス幅変調信号を生成するものであり、第 1 のクロック信号は、前記第 1 のクロック信号の出力パターンを記憶した記憶手段から出力パターンを読み出すことによって生成されたものであることを特徴とする画像形成装置。

【請求項 1 0】 前記記憶手段は、前記第 1 のクロック信号の出力パターンをデジタルデータとして記憶するものであることを特徴とする請求項 9 に記載の画像形成装置。

【請求項 1 1】 前記記憶手段は、第 2 のクロック信号に対応するクロック信号を出力するか否かを選択する情報を有するもので、前記第 2 のクロック信号のクロック信号の計数値に応じて前記記憶手段から前記情報が読み出されることを特徴とする請求項 9 又は 1 0 に記載の画像形成装置。

【請求項 1 2】 前記記憶手段から、前記第 1 のクロック信号の出力パターンに対応するデータをロードして順次出力する出力手段を有することを特徴とする請求項 9 又は 1 0 に記載の画像形成装置。

【請求項 1 3】 前記出力手段は、前記記憶手段からの、前記第 1 のクロック信号のパターンに対応するデータをラッチする複数のフリップフロップを有しており、該フリップフロップを直列に接続することにより前記第 1 のクロック信号のパターンに対応する情報を順次出力するものであることを特徴とする請求項 1 2 に記載の画像形成装置。

【請求項 1 4】 画像を形成する画像形成デバイスと、
画像信号に応じてパルス幅変調信号を発生するパルス幅変調手段とを有しており、

前記パルス幅変調手段は、第1のクロック信号を、前記画像信号に応じて計数することによってパルス幅変調信号を生成するものであり、前記第1のクロック信号は、制御信号によって発振周波数を変更できる発振デバイスの発振周波数を制御して生成したものであることを特徴とする画像形成装置。

【請求項15】 前記発振デバイスは、制御電圧によって発振周波数を変えるものであることを特徴とする請求項14に記載の画像形成装置。

【請求項16】 前記第1のクロック信号は、最低階調に対応する画像信号が入力されたときのパルス幅変調信号のパルス幅を、最低階調でなく且つ互いに隣接する階調それぞれに対応するパルス幅変調信号のパルス幅の差よりも長くする出力パターンを有することを特徴とする請求項1乃至15のいずれか1項に記載の画像形成装置。

【請求項17】 前記第1のクロック信号は、入力される画像信号を、画像形成デバイスの特性に応じて補正してパルス幅変調信号を生成するための出力パターンを有することを特徴とする請求項1乃至16のいずれか1項に記載の画像形成装置。

【請求項18】 前記第1のクロック信号は、入力される画像信号のガンマ補正の状態を解除もしくは緩和するための出力パターンを有することを特徴とする請求項1乃至17のいずれか1項に記載の画像形成装置。

【請求項19】 前記画像形成デバイスが、発光により画像を形成するための複数の素子をマトリックス状に配置したものであることを特徴とする請求項1乃至18のいずれか1項に記載の画像形成装置。

【請求項20】 前記マトリックス状に配置された複数の素子は、駆動される素子が行ごとに順次選択されるものであり、前記パルス幅変調信号により、選択された行の素子が制御されることを特徴とする請求項19に記載の画像形成装置。

【請求項21】 前記素子が、電子を放出して発光体を発光させる素子であることを特徴とする請求項19又は20に記載の画像形成装置。

【請求項22】 前記画像形成デバイスが、電子を放出して発光体を発光させることにより画像を形成するものであることを特徴とする請求項1乃至21の

いずれか 1 項に記載の画像形成装置。

【請求項 2 3】 前記電子を放出する素子が表面伝導型放出素子であることを特徴とする請求項 2 2 に記載の画像形成装置。

【請求項 2 4】 前記電子を放出する素子が F E 型放出素子であることを特徴とする請求項 2 2 に記載の画像形成装置。

【請求項 2 5】 前記電子を放出する素子が M I M 型放出素子であることを特徴とする請求項 2 2 に記載の画像形成装置。

【請求項 2 6】 電子源と、

電子の発生を制御する変調信号としてパルス幅変調信号を発生するパルス幅変調手段とを有し、

前記パルス幅変調手段は、第 1 のクロック信号を、前記画像信号に応じて計数することによってパルス幅変調信号を生成するものであり、前記第 1 のクロック信号は第 2 のクロック信号に対応するクロック信号を出力するか否かを選択することによって生成されたものであることを特徴とする電子線装置。

【請求項 2 7】 電子源と、

電子の発生を制御する変調信号としてパルス幅変調信号を発生するパルス幅変調手段とを有し、

前記パルス幅変調手段は、第 1 のクロック信号を、前記画像信号に応じて計数することによってパルス幅変調信号を生成するものであり、前記第 1 のクロック信号は、第 1 のクロック信号の出力パターンを記憶した記憶手段から出力パターンを読み出すことによって生成したものであることを特徴とする電子線装置。

【請求項 2 8】 電子源と、

電子の発生を制御する変調信号としてパルス幅変調信号を発生するパルス幅変調手段とを有し、

前記パルス幅変調信号は、第 1 のクロック信号を、前記画像信号に応じて計数することによってパルス幅変調信号を生成するものであり、前記第 1 のクロック信号は、制御信号によって発振周波数を変更できる発振デバイスの発振周波数を制御して生成したものであることを特徴とする電子線装置。

【請求項 2 9】 パルス幅変調信号を発生する変調回路であって、

前記パルス幅変調信号は、第1のクロック信号を、前記画像信号に応じて計数することによってパルス幅変調信号を生成されたものであり、前記第1のクロック信号は第2のクロック信号に対応するクロック信号を出力するか否かを選択することによって生成したものであることを特徴とする変調回路。

【請求項30】 パルス幅変調信号を発生する変調回路であって、

前記パルス幅変調信号は、第1のクロック信号を、前記画像信号に応じて計数することによってパルス幅変調信号を生成されたものであり、前記第1のクロック信号は、第1のクロック信号のパターンを記憶した記憶手段から、該パターンを読み出すことによって生成したものであることを特徴とする変調回路。

【請求項31】 パルス幅変調信号を発生する変調回路であって、

前記パルス幅変調信号は、第1のクロック信号を、前記画像信号に応じて計数することによってパルス幅変調信号を生成するものであり、前記第1のクロック信号は、制御信号によって発振周波数を変更できる発振デバイスの発振周波数を制御して生成したものであることを特徴とする変調回路。

【請求項32】 画像を形成する画像形成デバイスと、画像信号に応じてパルス幅変調信号を発生するパルス幅変調手段とを有する画像形成装置の駆動方法であって、

前記パルス幅変調信号を生成するステップとして、第1のクロック信号を、前記画像信号に応じて計数することによってパルス幅変調信号を生成するステップを有しており、前記第1のクロック信号は第2のクロック信号に対応するクロック信号を出力するか否かを選択することによって生成されたものであることを特徴とする画像形成装置の駆動方法。

【請求項33】 画像を形成する画像形成デバイスと、画像信号に応じてパルス幅変調信号を発生するパルス幅変調手段とを有する画像形成装置の駆動方法であって、

前記パルス幅変調信号を生成するステップとして、第1のクロック信号を、前記画像信号に応じて計数することによってパルス幅変調信号を生成するステップを有しており、前記第1のクロック信号は、第1のクロック信号の出力パターンを記憶した記憶手段から出力パターンを読み出すことによって生成したものであ

ることを特徴とする画像形成装置の駆動方法。

【請求項 3 4】 画像を形成する画像形成デバイスと、画像信号に上と応じてパルス幅変調信号を発生するパルス幅変調手段とを有する画像形成装置の駆動方法であって、

前記パルス幅変調信号を生成するステップとして、第 1 のクロック信号を、前記画像信号に応じて計数することによってパルス幅変調信号を生成するステップを有しており、前記第 1 のクロック信号は、制御信号によって発振周波数を変えることができる発振デバイスの発振周波数を制御して生成したものであることを特徴とする画像形成装置の駆動方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、画像形成装置及び電子線装置及び変調回路及び画像形成装置の駆動方法及び電子線装置の駆動方法及び変調方法に関わるものである。

【0 0 0 2】

【従来の技術】

特開昭 5 3 - 1 0 5 3 1 7 号公報には、表示パネルにおいて輝度階調を生じさせる構成が開示されている。また発振周波数の異なる 2 つのクロックパルス発生手段からの出力の選択を行うマトリックスディスプレイ装置の構成が特開昭 5 4 - 1 3 7 2 3 2 号公報に示されている。また、非線型特性を有するアナログアンプを用いて、階調度に対するパルス幅を設定する液晶表示装置の構成が特開平 7 - 2 4 8 7 4 8 号公報に記載されている。また、デジタル信号の 2 つの値を空間的、かつ時間的に切り換えることで輝度変調を 4 倍に増加させる構成が特開平 8 - 1 6 0 9 2 1 号公報に開示されている。

【0 0 0 3】

また、基板上に複数の表面伝導型放出素子をマトリクス状に配設し、順次行方向の配線を選択して行方向の走査を行い、この行方向の走査に同期して列方向の配線に画像信号に応じた信号を印加することにより、入力した画像信号に応じて各表面伝導型放出素子から電子を放出させ、その放出された電子を蛍光体等に衝

突させて発光させることにより画像を表示する平面型の表示パネルが知られている。

【0004】

【発明が解決しようとする課題】

本願では、パルス幅変調を行うために好適に用いることができる新規な構成を実現することを目的とする。例えば、前述の表面伝導型放出素子を用いた表示パネルでは、階調画像を表示するために、その入力された画像信号を、その階調に応じてパルス幅変調し、そのパルス幅変調した信号を列方向の配線に印加して画像を表示することができる。

【0005】

図7は、このような表示パネルに入力されるパルス幅変調信号の波形を示す図である。この図7から明らかなように、信号の立ち上がり波形がなまっている。これは、列（行）方向の配線の容量が大きいため、この信号を入力する側のドライバの出力インピーダンスで電流が制限されることに起因しており、実際には例えば1～2 μ 秒程度の立ち上がり時間を要している。このようなパルス幅変調された信号で表示パネルを駆動すると、例えば図8（A）（B）に示す様に、入力した階調データに対して発光輝度が線形にならず、その階調の再現性が損なわれる。

【0006】

図8（A）（B）は、横軸にパルス幅を決定する階調データ（8ビット：256階調）を、縦軸に256階調で正規化した発光輝度を取り、図8（B）は横軸及び縦軸を“0”から“32”の部分で拡大して示している。ここで一階調分のパルス幅は約220 n秒であり、（入力した階調） \times （220 n秒）で決まるパルス幅で表示パネルの各素子を駆動した。図8に示す表示パネルの駆動波形において、1 μ 秒程度の立ち上がり時間内では図9（B）からも明らかなように、入力データが“0”～“3”の範囲では表示パネルはほとんど光らないことになる。

【0007】

また、NTSC信号を入力してデジタル信号に変換し、表示パネルに表示する

画像表示装置では、アナログテレビジョン信号を一旦デジタル信号に変換し、その変換したデジタル信号に対してルックアップテーブルを用いてガンマ補正などの変換を行った後、そのデジタル信号を例えばパルス幅変調して画像表示を行うことができる。

【0008】

このようなルックアップテーブルでは、入出力データを例えば8ビットとし、例えば低輝度の階調レベルでは、入力データの「00H」（“H”は16進数であることを示す）に対して出力が「00H」、中間調レベルでは入力データ「AAH」に対して出力が「55H」、高輝度の階調のレベルでは入力データ「FFH」に対して「FFH」が出力される。そして、その変換された結果は、リニアな特性とみなされて画像信号として表示される。

【0009】

このようなルックアップテーブルを用いた輝度変換処理では、本来の目的である輝度信号の制御は良好に行なえたが、従来例で示したように、例えば8ビット入出力を持つルックアップテーブルの場合、ガンマ補正の計算値がデジタルデータの最小分解能以下は存在せず、必要に応じて要求される出力データを四捨五入等して変換テーブルを作製していた。そのため表示される画像の階調性（輝度分解能）が損なわれ、表示された画像において画質劣化が生じていた。例えば、従来例の様にガンマ補正を行なうと、ルックアップテーブルの入出力特性は、低輝度の場合、入力データが4増加すると出力データが1だけ増加する特性となる。即ち、入力データが4以下の場合、出力データが“0”又は“1”にまとめられる。そのため特に低輝度における階調性（輝度分解能）が損なわれて画質劣化が生じていた。上記従来例では、ガンマ補正の場合で説明したが、同様な構成でコントラスト変換等を行なう場合も同様の問題があった。

【0010】

【課題を解決するための手段】

本願は、新規な画像形成装置の構成として以下の発明を含んでいる。

【0011】

画像形成装置であって、画像を形成する画像形成デバイスと、画像信号に応じ

てパルス幅変調信号を発生するパルス幅変調手段とを有しており、該パルス幅変調手段は、第 1 のクロック信号を、前記画像信号に応じて計数することによってパルス幅変調信号を生成するものであり、前記第 1 のクロック信号は第 2 のクロック信号に対応するクロック信号を出力するか否かを選択することによって生成することを特徴とする画像形成装置である。

【 0 0 1 2 】

ここで、前記第 2 のクロック信号としては、時間軸上で規則性を有するクロック信号が好適である。

【 0 0 1 3 】

また、前記第 2 のクロック信号に対応するクロック信号を出力するか否かの選択は、前記第 2 のクロック信号のパルスを出力するか否かの選択を含む。

【 0 0 1 4 】

また、前記第 2 のクロック信号のパルスに応じたパルスの出力を行うか否かは、前記第 2 のクロック信号を計数して、該計数値に応じて選択するものであったりする。

【 0 0 1 5 】

また、前記第 2 のクロック信号に対応するクロック信号を出力するか否かの選択のための情報を記憶する記憶手段を有するものであってもよい。

【 0 0 1 6 】

また、前記第 2 のクロック信号のパルスを計数するカウンタと、該カウンタの出力に応じて前記第 2 のクロック信号のパルスに応じたパルスの出力を行うか否かを選択する手段とを有するものであってもよい。ここで、前記選択する手段は、前記カウンタの出力をデコードするデコーダを有するものであったり、前記カウンタの出力がアドレスとして入力され、前記第 2 のクロック信号のパルスに応じたパルスの出力を行うか否かの情報を出力する記憶手段を有するものであったりする。

【 0 0 1 7 】

また、本願は画像形成装置の新規な構成として以下の発明を含む。

【 0 0 1 8 】

画像形成装置であって、画像を形成する画像形成デバイスと、画像信号に応じてパルス幅変調信号を発生するパルス幅変調手段とを有しており、該パルス幅変調手段は、第 1 のクロック信号を、前記画像信号に応じて計数することによってパルス幅変調信号を生成するものであり、前記第 1 のクロック信号は、第 1 のクロック信号のパターンを記憶した記憶手段から、該パターンを読み出すことによって生成されたものであることを特徴とする画像形成装置である。

【 0 0 1 9 】

ここで、前記記憶手段が、前記第 1 のクロック信号のパターンをデジタルデータとして記憶するものであると好適である。

【 0 0 2 0 】

また前記記憶手段が、第 2 のクロック信号のパルスに応じたパルスの出力を行うか否かの情報を有するものであり、前記第 2 のクロック信号のパルスを計数し、該計数値に応じて前記情報を読み出すものであってもよい。

【 0 0 2 1 】

また前記記憶手段からの、前記第 1 のクロック信号のパターンに対応するデータをロードし、順次出力する出力手段を有するものであってもよい。ここで、該出力手段が、前記記憶手段からの、前記第 1 のクロック信号のパターンに対応するデータをラッチする複数のフリップフロップを有しており、該フリップフロップを直列に接続することにより前記第 1 のクロック信号のパターンに対応する情報を順次出力するものであってもよい。

【 0 0 2 2 】

また本願は、画像形成装置の新規な構成として以下の発明を含む。

【 0 0 2 3 】

画像形成装置であって、画像を形成する画像形成デバイスと、画像信号に応じてパルス幅変調信号を発生するパルス幅変調手段とを有しており、該パルス幅変調信号は、第 1 のクロック信号を、前記画像信号に応じて計数することによってパルス幅変調信号を生成するものであり、前記第 1 のクロック信号は、制御信号によって発振周波数を変更可能な発振デバイスの発振周波数を制御して生成したものであることを特徴とする画像形成装置である。

【 0 0 2 4 】

ここで、前記発振デバイスは、制御電圧によって発振周波数を変えるものである。

【 0 0 2 5 】

以上述べた画像形成装置の各発明について、以下の構成を好適に取りうる。

①前記第 1 のクロック信号は、最低階調に対応する画像信号が入力されたときのパルス幅変調信号のパルス幅を、最低階調でなく且つ互いに隣接する階調それぞれに対応するパルス幅変調信号のパルス幅の差よりも長くするパターンを有する構成。

②前記第 1 のクロック信号は、入力される画像信号を、画像形成デバイスの特性に応じて補正してパルス幅変調信号を生成するためのパターンを有する構成。

③前記第 1 のクロック信号は、入力される画像信号のガンマ補正の状態を解除もしくは緩和するためのパターンを有する構成。

④前記画像形成デバイスが、発光により画像を形成するための複数の素子をマトリックス状に配置したものである構成。ここで、前記マトリックス状に配置された複数の素子は、駆動される素子が行ごとに順次選択されるものであり、前記パルス幅変調信号により、選択された行の素子が制御される構成を好適に取りうる。また、前記素子が、電子を放出して発光体を発光させる素子である構成を好適に取りうる。

⑤前記画像形成デバイスが、電子を放出して発光体を発光させることにより画像を形成するものである構成。ここで、電子を放出する素子としては、例えば冷陰極素子、特には、表面伝導型放出素子、F E 型放出素子、M I M 型放出素子を好適に採用しうる。

【 0 0 2 6 】

また、本願は電子線装置の新規な構成として以下の発明を含む。

【 0 0 2 7 】

電子線装置であって、電子源と、電子の発生を制御する変調信号としてパルス幅変調信号を発生するパルス幅変調手段とを有しており、該パルス幅変調信号は、第 1 のクロック信号を、前記画像信号に応じて計数することによってパルス幅

変調信号を生成するものであり、前記第 1 のクロック信号のパターンは、第 2 のクロック信号のパルスに応じたパルスの出力を行うか否かを選択することによって生成したものであることを特徴とする電子線装置である。

【0 0 2 8】

また、本願は電子線装置の新規な構成として以下の発明を含む。

【0 0 2 9】

電子線装置であって、電子源と、電子の発生を制御する変調信号としてパルス幅変調信号を発生するパルス幅変調手段とを有しており、該パルス幅変調信号は、第 1 のクロック信号を、前記画像信号に応じて計数することによってパルス幅変調信号を生成するものであり、前記第 1 のクロック信号は、第 1 のクロック信号のパターンを記憶した記憶手段から、該パターンを読み出すことによって生成したものであることを特徴とする電子線装置である。

【0 0 3 0】

また、本願は電子線装置の新規な構成として以下の発明を含む。

【0 0 3 1】

電子線装置であって、電子源と、電子の発生を制御する変調信号としてパルス幅変調信号を発生するパルス幅変調手段とを有しており、該パルス幅変調信号は、第 1 のクロック信号を、前記画像信号に応じて計数することによってパルス幅変調信号を生成するものであり、前記第 1 のクロック信号は、制御信号によって発振周波数を変えることができる発振デバイスの発振周波数を制御して生成したものであることを特徴とする電子線装置である。

【0 0 3 2】

また、本願は変調回路の新規な構成として以下の発明を含む。

【0 0 3 3】

パルス幅変調信号を発生する変調回路であって、

該パルス幅変調信号は、第 1 のクロック信号を、前記画像信号に応じて計数することによってパルス幅変調信号を生成するものであり、前記第 1 のクロック信号のパターンは、第 2 のクロック信号のパルスに応じたパルスの出力を行うか否かを選択することによって生成したものであることを特徴とする変調回路である

【 0 0 3 4 】

また、本願は変調回路の新規な構成として以下の発明を含む。

【 0 0 3 5 】

パルス幅変調信号を発生する変調回路であって、

該パルス幅変調信号は、第 1 のクロック信号を、前記画像信号に応じて計数することによってパルス幅変調信号を生成するものであり、前記第 1 のクロック信号は、第 1 のクロック信号のパターンを記憶した記憶手段から、該パターンを読み出すことによって生成したものであることを特徴とする変調回路である。

【 0 0 3 6 】

また、本願は変調回路の新規な構成として以下の発明を含む。

【 0 0 3 7 】

パルス幅変調信号を発生する変調回路であって、

該パルス幅変調信号は、第 1 のクロック信号を、前記画像信号に応じて計数することによってパルス幅変調信号を生成するものであり、前記第 1 のクロック信号は、制御信号によって発振周波数を変えることができる発振デバイスの発振周波数を制御して生成したものであることを特徴とする変調回路である。

【 0 0 3 8 】

又、本願は画像形成装置の駆動方法の新規な構成として以下の発明を含む。

【 0 0 3 9 】

画像を形成する画像形成デバイスと、画像信号に応じてパルス幅変調信号を発生するパルス幅変調手段とを有する画像形成装置の駆動方法であって、前記パルス幅変調信号を生成するステップとして、第 1 のクロック信号を、前記画像信号に応じて計数することによってパルス幅変調信号を生成するステップを有しており、前記第 1 のクロック信号のパターンは、第 2 のクロック信号のパルスに応じたパルスの出力を行うか否かを選択することによって生成したものであることを特徴とする画像形成装置の駆動方法である。

【 0 0 4 0 】

又、本願は画像形成装置の駆動方法の新規な構成として以下の発明を含む。

【 0 0 4 1 】

画像を形成する画像形成デバイスと、画像信号に応じてパルス幅変調信号を発生するパルス幅変調手段とを有する画像形成装置の駆動方法であって、前記パルス幅変調信号を生成するステップとして、第 1 のクロック信号を、前記画像信号に応じて計数することによってパルス幅変調信号を生成するステップを有しており、前記第 1 のクロック信号は、第 1 のクロック信号のパターンを記憶した記憶手段から、該パターンを読み出すことによって生成したものであることを特徴とする画像形成装置の駆動方法である。

【 0 0 4 2 】

又、本願は画像形成装置の駆動方法の新規な構成として以下の発明を含む。

【 0 0 4 3 】

画像を形成する画像形成デバイスと、画像信号に応じてパルス幅変調信号を発生するパルス幅変調手段とを有する画像形成装置の駆動方法であって、前記パルス幅変調信号を生成するステップとして、第 1 のクロック信号を、前記画像信号に応じて計数することによってパルス幅変調信号を生成するステップを有しており、前記第 1 のクロック信号は、制御信号によって発振周波数を変えることができる発振デバイスの発振周波数を制御して生成したものであることを特徴とする画像形成装置の駆動方法である。

【 0 0 4 4 】

【発明の実施の形態】

以下、添付図面を参照して本発明の好適な実施の形態を詳細に説明する。

【 0 0 4 5 】

本発明の実施の形態に係わる画像表示装置で使用するマトリクス画像表示パネルは、基本的には薄型の真空容器内に、基板上に多数の電子源例えば冷陰極素子を配列してなるマルチ電子源と、電子の照射により画像を形成する画像形成部材とを対向して備えている。これら冷陰極素子は、例えばフォトリソグラフィ・エッチングのような製造技術を用いれば基板上に正確に位置決めして形成できるため、微小な間隔で多数個を配列することが可能である。しかも、従来から C R T 等で用いられてきた熱陰極素子と比較すると、陰極自身や周辺部が比較的低温な

状態で駆動できるため、より微細な配列ピッチのマルチ電子源を容易に実現できる。なお、マトリクス画像表示パネルの構成と製造法については後述する。

【 0 0 4 6 】

以下、本発明の実施の形態について図面を参照して説明する。

【 0 0 4 7 】

< 実施の形態 1 >

図 1 は、本発明の実施の形態 1 の画像表示装置の構成を示すブロック図である。

【 0 0 4 8 】

図 1 において、1 は本実施の形態の表示パネルであり、多数の電子源、例えば冷陰極素子を配列した基板を薄型の真空容器内に收容して構成されている。この表示パネル 1 は、例えば水平方向に 4 8 0 素子、即ち、1 6 0 画素 (R G B) が配置され、垂直方向に 2 4 0 素子 (2 4 0 画素) が配置されている。本実施の形態では、表示パネル 1 として 4 8 0 素子 × 2 4 0 素子 (1 6 0 画素 × 2 4 0 画素) のマトリクス画像表示パネルの例を示すが、配列している素子の数は必要に応じて、或は製品の用途により決定されるためこの限りではない。この表示パネル 1 は、図示のように R G B ストライプ状に画素を配列している。2 a ~ 2 c はアナログデジタル変換器 (A / D コンバータ) で、不図示のデコーダにより、例えば N T S C 信号から R G B 信号にデコードされたアナログ R G B 信号のそれぞれを入力し、例えば各々 8 ビット幅のデジタル R G B 信号に変換して出力している。3 a はデータ並び替え部であり、A / D コンバータ 2 a ~ 2 c 或は不図示のコンピュータ等からのデジタル R G B 信号を入力し、表示パネル 1 の画素配列に合わせて、その入力したデジタル R G B 信号の順番を並べかえる。3 b は輝度データ変換器で、データ並び替え部 3 a で順番が変更されたデジタル R G B 信号を所望の輝度特性を有するデータに変換するための変換テーブルを有しており、ここでは例えばガンマ変換処理を行っている。4 はシフトレジスタであり、輝度データ変換器 3 b から送られるシリアルデータをシフトクロック (SCLK) に同期して順次シフト転送し表示パネル 1 の行方向のそれぞれの素子に対応した各々 8 ビット幅のデジタルデータ (XD1 ~ XD480) を保持している。5 は P W M クロック発生

器で、変調信号発生部 6 にパルス幅変調用 P W M クロック (PCLK) を供給している。変調信号発生部 6 は、シフトレジスタ 4 から入力されるデジタルデータに応じて、P W M クロック (PCLK) を基に、出力する信号のパルス幅を決定する。7 はドライバであり、変調信号発生部 6 から出力されるパル信号のパルス幅に応じて、表示パネル 1 の変調信号線 (列配線) を駆動する (これら駆動信号は X1 ~ X480 で示されている)。

【 0 0 4 9 】

8 は走査用シフトレジスタであり、水平走査同期信号 (HD) をシフトクロックとし、入力画像の走査線に対応する表示パネル 1 の走査配線 (行配線 Y1 ~ Y240) を順次選択するための走査用データを出力する。9 は走査用ドライバであり、走査用シフトレジスタ 8 から出力される走査用データに従って表示パネル 1 の走査配線 (行配線) を順次駆動する。10 はタイミング制御部で、入力画像の同期信号 (sync) 及びデータサンプリングクロック (DCLK) 等から、各機能ブロックで必要な所望のタイミングの制御信号を発生して出力している。

【 0 0 5 0 】

図 2 は本発明の実施の形態の変調信号発生部 6 の構成例を示すブロック図である。

【 0 0 5 1 】

図において、61 はダウンカウンタで、シフトレジスタ 4 から出力される各々 8 ビット幅のデジタルデータ (XD_i: XD1 ~ XD480) をロード信号 (Ld) のタイミングでロードし、そのロードした 8 ビットデータを P W M クロック (PCLK) に同期してカウントダウンする。そして例えば、ダウンカウンタ 61 のボロー (borrow) 出力をパルス幅変調出力 (PWMout) とする。即ち、この PWMout は、カウンタ 61 にデータがロードされるとハイレベルになり、カウンタ 61 が P W M クロック (PCLK) に同期してカウントダウンされ、そのカウント値が “0” になってボロー出力が立ち下がる迄の間、パルス幅変調信号が出力される。この動作タイミングが図 3 のタイミング図に示されている。図 3 では、XD = p の場合の PWMout 信号の出力タイミングを示している。

【 0 0 5 2 】

図 4 は本実施の形態の P W M のクロック発生器 5 の構成を示すブロック図である。

【 0 0 5 3 】

図において、5 1 a はカウンタで、n クロック (n PCLK) の立ち下がリエッジでカウントアップする。5 1 b はデコーダで、カウンタ 5 1 a の出力をデコードする。5 1 c はアンド回路である。

【 0 0 5 4 】

図 5 は、図 4 に示す本実施の形態の P W M クロック発生器 5 の動作タイミングを示すタイミング図である。これら図 4 及び図 5 の説明は後述する。

【 0 0 5 5 】

図 6 は、図 1 に示す本発明の実施の形態 1 の回路の動作タイミングを示すタイミング図である。

【 0 0 5 6 】

図 1 において、R G B 信号にデコードされたアナログ R G B 信号のそれぞれが、対応する各 A / D コンバータ 2 a ~ 2 c に入力され、各々例えば 8 ビット幅のデジタル R G B 信号に変換される。データ並び替え部 3 a は、A / D コンバータ 2 a ~ 2 c (或はコンピュータ等) からのデジタル R G B 信号を入力する。この際、1 走査ライン (1 H) の画素データ数は、表示パネル 1 の変調信号線 (列配線) 側の画素数で決めると処理が簡単になるので、ここでは表示パネル 1 の水平方向の画素数 “1 6 0” に合わせた。ここで、これらデジタル R G B 信号は、データサンプリングクロック (DCLK) に同期して A / D コンバータ 2 a ~ 2 c から出力される。ここで図 6 に示す様に、データ並び替え部 3 a は、R G B パラレル信号をデータサンプリングクロック (DCLK) の 3 倍の周波数のクロックであるシフトクロック (SCLK) のタイミングで切り替え、表示パネル 1 の R G B 画素配列に従って順次出力する。

【 0 0 5 7 】

データ並び替え部 3 a の出力信号 (S2) は、輝度データ変換器 3 b に送られ、輝度データ変換器 3 b は、その入力したデジタルデータを、例えばパネルのガンマ特性等の輝度特性に変換してシフトレジスタ 4 に出力する (この出力信号を S3

とする)。シフトレジスタ 4 は、輝度データ変換器 3 b から出力される信号 (S3) をシフトクロック (SCLK) に同期して順次シフト転送し、表示パネル 1 のそれぞれの素子に対応した 8 ビット幅のデジタルデータ (XD1~XD480) を走査信号時間 (水平走査時間) 単位で出力する。これら 8 ビット幅のデジタルデータ (XD1~XD480) は変調信号発生部 6 に入力される。変調信号発生部 6 は、前述したように、各素子毎にデジタルデータ (「設定値」) と PWM クロック (PCLK) に応じて、出力するパルス幅変調したパルス信号幅を決定する。即ち、変調信号発生部 6 は、「PWM クロック (PCLK) 数」が「設定値」と等しくなるまでの時間で決まるパルス幅の変調信号を出力する。ドライバ 7 は、例えば +V_{dd} (例えば +7.5 V) の電位 (X1~X480) の信号を出力し、変調信号発生部 6 の出力で決まるパルス幅で表示パネル 1 の変調信号線 (列方向配線) を駆動する。

【0058】

一方、走査用シフトレジスタ 8 は、水平走査同期信号 (HD) をシフトクロックとし、入力画像が送られてくるデジタルデータに対応する表示パネル 1 の走査配線 (行配線) を順次選択して走査するための走査用データを発生する。そして走査用シフトレジスタ 8 の出力を、表示パネル 1 の行配線を選択する際に、その駆動電位が (-V_{ss}: 例えば -7.5 V) になるように、例えばトランジスタスイッチング回路で構成される走査信号ドライバ 9 により行配線に出力される。

【0059】

ドライバ 7 は、走査信号ドライバ 9 が選択した行配線に対して駆動電位 (-V_{ss}: 例えば -7.5 V) を出力した後、例えば 3 μ 秒後に、変調信号発生部 6 から出力されるパルス幅で、+V_{dd} (例えば +7.5 V) の電位 (X1~X480) を出力し、表示すべき画像信号に応じて表示パネル 1 の変調信号線 (列配線) を駆動する。

【0060】

図 7 は、素子がマトリクス状に配線された一般的な表示パネルの各素子に加わる電圧波形を示す図である。

【0061】

図 7 に示す様に、表示パネルの列方向の駆動波形は駆動電圧波形の立ち上がり

でなまっている。これは、表示パネルにおける信号配線側の容量が大きいため、ドライバ 7 の出力インピーダンスで電流が制限され、約 $1 \sim 2 \mu$ 秒程度の立ち上がり時間を要しているためである。

【 0 0 6 2 】

このような駆動時において、電位 ($+V_{dd}$) または電位 ($-V_{ss}$) のみが印加される素子は、後述する表面伝導型放出素子の特性上、電子放出に寄与しない。即ち、表示パネル 1 に設けられた蛍光体に向けて電子を放出しないので、それに対応する画素が発光しない。これに対し行配線が選択され、その選択された行配線に画像信号に応じたパルス幅変調信号が印加されて走査されている表示パネル 1 の各素子には、 $[(+V_{dd}) - (-V_{ss})]$ なる電圧が、パルス幅変調された信号に比例したパルス幅で加えられる。そして、この電圧 $[(+V_{dd}) - (-V_{ss})]$ が印加された素子から、表示パネル 1 の蛍光体に向けて電子が放出される。こうして各行方向配線が順次選択されて、各行の素子が画像信号の値に応じたパルス幅で駆動されることにより、表示パネル 1 に画像が表示される。

【 0 0 6 3 】

本実施の形態 1 では、NTSC 信号を 240 本の走査ラインを有する表示パネル 1 で表示させるために、インターレースされている有効走査線 485 本の内、480 本をフィールド毎に表示パネル 1 に重ね書きするように駆動した。即ち、表示パネル 1 をフレーム周波数 60 Hz、走査ライン 240 本の画像信号により駆動した。ここで 1 走査ラインの表示に要する時間は、約 63.5μ 秒であり、その時間内の約 56.5μ 秒を駆動パルス ($X1 \sim X480$) の最大時間と決めた。

【 0 0 6 4 】

図 8 (A) (B) は、従来の表示パネルにおける輝度特性を示すグラフ図で、図 8 (B) は図 8 (A) に示すグラフ図の一部を拡大して示している。

【 0 0 6 5 】

これに対し図 9 (A) (B) のそれぞれは、従来の図 8 (A) (B) に対して本実施の形態 1 における入力データ (画像信号) 対する輝度特性を示すグラフ図である。図 9 において、901 は本実施の形態における発光輝度特性を示し、902 は従来の発光輝度特性を示している。

【0066】

これを実現するために、具体的には、図8（B）に示すような従来の表示パネルにおける、ほぼ階調性がリニアである特性（設定値が“16”以上）部分を直線により近似し、X切片を求める。図8（B）では、このときの階調数が約“4”である。そして、この表示パネル1を駆動しても発光しないパルス幅の時間を全て「1階調」に割り振る。ここで、画像データの値「設定値」が、 $(i-1)$ から i まで増加する時のパルス幅の増加時間を T_i （8ビット： $i=1\sim 255$ ）とし、これらを以下のように決定する。すなわち、

$$T_1 = 220 \text{ n秒} \times 4 = 880 \text{ n秒}$$

$$T_2 = 220 \text{ n秒}$$

$$T_3 = 220 \text{ n秒}$$

:

$$T_{255} = 220 \text{ n秒}$$

このような処理を実現するために、本実施の形態1におけるパルス幅変調が、PWMクロック発生器5及び変調信号発生部6により実現されている。この動作を前述の図4～図6を参照して詳しく説明する。

【0067】

図4において、 n クロック（ $n\text{PCLK}$ ）は、PWMクロック（ PCLK ）と同じ周波数のクロック、即ち、周波数が約4.5MHzのクロックである。カウンタ51aは、パルス幅変調の開始のタイミングでCLR信号によりリセットされた後、この n クロック（ $n\text{PCLK}$ ）の立ち下がリエッジによりカウントアップされ、その出力がデコーダ51bによりデコードされ、そのカウンタ出力が“1”～“3”（十進数）のときロウレベルの信号をアンド回路51cに出力する。一方、このアンド回路51cの他方の入力には、 n クロック（ $n\text{PCLK}$ ）が入力されており、このアンド回路51cでデコーダ51bの出力と論理積が取られて出力される。これにより図5に示すように、カウンタ51aの出力値が“1”～“3”（十進数）の時にPWMクロック（ PCLK ）の出力が禁止され、それ以外で n クロック（ $n\text{PCLK}$ ）がPWMクロック（ PCLK ）として出力されることになる。このように $n\text{PCLK}$ を3個計数するまでクロック信号 PCLK の出力を禁止することにより

低レベルのデータ“1”～“3”の出力パルス幅を長くして、低輝度レベルでの発光輝度を高めるようにしている。

【0068】

前述したように、変調信号発生部6は、「PWMクロック(PCLK)」の数が「設定値」と等しくなるまでの時間で決まるパルス幅の信号(PWM0ut)を出力するので、前述した $T1=880\text{ n秒}$ 、 $T2=220\text{ n秒}$ 、 $T3=220\text{ n秒}$ 、…、 $T256=220\text{ n秒}$ での制御が実現できる。

【0069】

こうして得られる本実施の形態1に係る表示パネル1の輝度特性を、図9(A)(B)に示す。図9(A)(B)では横軸にパルス幅を決めるための設定値(8ビット:256階調)を取り、縦軸に256階調で正規化した実施の形態1の輝度と従来の輝度との関係を示している。図9(B)は、横軸の設定値を“0”から“32”までとし、縦軸の輝度の値を“0”から“32”までとして、図9(A)を拡大して示している。この図9(B)から明らかなように、従来に比べて低輝度の階調の再現性が改善されている。

【0070】

この結果、表示パネル1に良好な階調性で画像表示できた。特に従来例で問題となっていた、暗い画像部(低輝度部)での階調の再現性(輝度分解能)が大幅に改善されている。

【0071】

本実施の形態1では、 n クロック($n\text{PCLK}$)とPWMクロック(PCLK)の周波数を同じにしている。この実施の形態1では、 n クロック($n\text{PCLK}$)数が $(256+4)$ 必要なため、実際の駆動パルス($X1\sim X480$)の最大時間は約 $220\text{ n秒} \times 259 = \text{約} 57\text{ }\mu\text{秒}$ となる。この最大時間で問題がなければ良いが、例えば、他の処理時間が必要となり、駆動パルス($X1\sim X480$)の最大時間を約 $56.5\text{ }\mu\text{秒}$ 程度にしない場合には、 n クロック($n\text{PCLK}$)の周期を約 217 n秒 、すなわち、周波数を約 4.6 MHz にしても良い。

【0072】

[実施の形態2]

次に、隣接する各階調の画素の輝度差が全ての階調で等しくなるようにした本発明の実施の形態 2 について説明する。

【0073】

図 10 は、横軸に時間軸を、縦軸に発光輝度（正規化している）をとった従来の時間対発光輝度の関係を示す図である。

【0074】

このグラフ図において、隣接する各階調の画素の輝度差が常に等しくなるようにパルス幅変調するために、「画像データ値（階調）」が $(i-1)$ から i に増加する時のパルス幅の増大値を T_i とすると、 i 番目の階調の画素を表示するときのパルス幅の増加分 T_i は以下のように決定される。

【0075】

$$K' \text{ (一定)} = (T_i / \tau) \times (L_{i-1} + L_i) \times (1/2) \quad \cdots (1)$$

ここで K' は定数、 T_i : i 番目のパルス幅の増加分、 τ : フィールド（フレーム）周期、 L_i : i 番目の発光輝度である。

【0076】

即ち、

$$K = T_i \times (L_{i-1} + L_i) \quad \cdots (2)$$

（ここで K は定数である）

となるようなパルス幅 T_i を逐次決める。 i が大きな数の時（図 10 において、例えば 5μ 秒以上に対応する i であり、駆動波形の劣化のない部分）は、 T_i の値として約 220 n 秒と定めた。実際には、 T_i の最小分解能を約 110 n 秒と決め、式（2）がおおよそ成り立つために、 $i = 1$ から逐次計算し、

$$T_1 = 660 \text{ n 秒}$$

$$T_2 = 330 \text{ n 秒}$$

$$T_3 = 330 \text{ n 秒}$$

$$T_4 = 330 \text{ n 秒}$$

:

$$T_i = 220 \text{ n 秒} \quad (i \geq 5)$$

以上のパルス幅を得た。

【0077】

尚、これらパルス幅の変化は、前述の実施の形態1の場合と同様に、PWMクロック発生器5と変調信号発生器6との協働により行われる。本実施の形態2と前述の実施の形態1との相違点はPWMクロック発生器5の構成の相違によるもので、他の構成要素については同じであるので、それら説明を省略する。

【0078】

図11は、本実施の形態2のPWMクロック発生器5の構成を示す回路図、図12はその動作を示すタイミング図である。

【0079】

図11において、52aはカウンタ、52bはデコーダ、52cはアンド回路で、それぞれ前述の図4の構成に対応している。

【0080】

図11において、前述したパルス幅の増加分である T_i の最小分解能は約 $110n$ 秒であるので、 n クロック($nPCLK$)は周期が約 $110n$ 秒のクロック、即ち、約9.0MHzの周波数のクロックとしている。初めに、パルス幅変調の開始のタイミングでCLR信号によりカウンタ52aが“0”にリセットされ、このリセット後、カウンタ52aは n クロック($nPCLK$)の立ち下がりに同期してカウントアップする。このカウンタ52aの出力(CountOUT)はデコーダ52bによりデコードされ、十進数表記で“0”，“6”，“9”，“12”，“15”，及びそれ以降はカウンタ52aの出力値が奇数の時に、デコーダ52bからハイレベルの信号(DecOUT)が出力される。このデコーダ52bの出力と n クロック($nPCLK$)とがアンド回路52cによって論理積がとられられ、図12のタイミング図に示すようなPWMクロック(PCLK)として出力される。

【0081】

前述したように、変調信号発生部6は、シフトレジスタ4から入力した値に応じた数のPWMクロック(PCLK)をカウントし、それに応じたパルス幅の変調信号を出力するので、上述したパルス幅の増加量、 $T_1=660n$ 秒、 $T_2=330n$ 秒、 $T_3=330n$ 秒、 $T_4=330n$ 秒、 $T_i=220n$ 秒($i \geq 5$)に応じて、表示パネル1の各素子を、その入力した画像データに応じて駆動することが

できる。

【0082】

図13 (A) (B) は、本発明の実施の形態2における入力値（設定値）と発光輝度との関係を示す輝度特性を示す図で、図13 (B) は図13 (A) の一部拡大図で、903は本実施の形態2における発光輝度特性を、904は従来の発光輝度特性を示している。

【0083】

図13 (A) では、横軸をパルス幅を決めるための入力データ（画像データ：階調値）（8ビット：256階調）、縦軸を256階調で正規化した輝度を示す。図13 (B) は、横軸の入力データを“0”から“32”まで、縦軸の発光輝度を“0”から“32”までで拡大して示している。この図13 (B) から明らかなように、従来に比べて低輝度での階調の再現性が改善された。

【0084】

このように本実施の形態2によれば、良好に階調を再現した画像の表示が可能になり、特に従来問題となっていた暗い画像（低輝度部分）における十分な階調の再現性（輝度分解能）が得られた。

【0085】

尚、実施の形態2では、 n クロック（ $nPCLK$ ）としてPWMクロック（ $PCLK$ ）のクロック周波数の2倍の周波数を使用した。この実施の形態2では、 n クロック（ $nPCLK$ ）数が $(256 \times 2 + 7)$ 個必要なため、実際の駆動パルス（ $X1 \sim X480$ ）の最大時間は、 $\text{約 } 110n \text{ 秒} \times 519 = \text{約 } 57 \mu \text{ 秒}$ となる。このパルス幅の最大値に問題がなければ、このままの周波数で実現して良いが、他に処理時間が必要である場合、例えば、パルス（ $X1 \sim X480$ ）の最大時間を $\text{約 } 56.5 \mu \text{ 秒}$ にしなければならない場合は、 n クロック（ $nPCLK$ ）の周期を $\text{約 } 108.5n \text{ 秒}$ 、即ち、その周波数を $\text{約 } 9.2 \text{ MHz}$ にすれば良い。

【0086】

〔実施の形態3〕

次に実施の形態3について以下に説明する。本実施の形態3と前述の実施の形態2との相違点はPWMクロック発生器5の構成が異なる点にあり、PWMクロ

ック (PCLK) に関して他の構成要素が同じであるので、それらの説明を省略する。

【0087】

図14は、本実施の形態3におけるPWMクロック発生器5の構成を示す回路図、図15はROM53bに記憶されているデータ構成を説明する図である。

【0088】

図14において、53aはカウンタ、53bは出力が1ビット幅のリードオンリーメモリ (ROM) 等のメモリ、53cはアンド回路である。

【0089】

図14において、nクロック (nPCLK) は、周期が約110n秒のクロック、即ち、周波数が約9.0MHzのクロックである。初めに、パルス幅変調処理の開始のタイミングでCLR信号によりカウンタ53aが“0”にリセットされる。このリセット後、カウンタ53aはnクロック (nPCLK) の立ち下がりでカウントアップされる。このカウンタ53aの出力はROM53bのアドレスとして入力される。このROM53bの出力は、カウンタ53aの値が十進数表記で“0”，“6”，“9”，“12”，“15”そしてそれ以降は出力が奇数の時にハイレベルの信号をアンド回路53cに出力する。このときの信号のタイミングは前述の図12に示す場合と同様となる。

【0090】

このように本実施の形態3によれば、前述の実施の形態2と同様に、各階調に応じて、その増加するパルス幅を、 $T_1=660\text{ n秒}$ 、 $T_2=330\text{ n秒}$ 、 $T_3=330\text{ n秒}$ 、 $T_4=330\text{ n秒}$ 、 $T_i=220\text{ 秒}$ ($i \geq 5$) とすることができ、前述の図13 (A) (B) の場合と同様な発光輝度特性が得られ、前述の実施の形態2と同様の効果が得られる。

【0091】

〔実施の形態4〕

次に本発明の実施の形態4について説明する。本実施の形態4の構成と前述の実施の形態との相違点は、PWMクロック発生器5の構成の違いにあり、他の構成要素、PWMクロック (PCLK) については同じであるので、それらの説明を省

略する。

【0 0 9 2】

図 1 6 は、本実施の形態 4 における PWM クロック発生器 5 の構成を示す回路図である。

【0 0 9 3】

図 1 6 において、5 4 a-0, 5 4 a-1, …, 5 4 a-518, 5 4 a-519 のそれぞれは D 型フリップフロップである。5 4 b はセクタであり、5 4 c は予め所定のデータが記憶されている、例えばマスク ROM などのメモリである。

【0 0 9 4】

図 1 6 において、PWM クロック (PCLK) は以下のようにつくられる。n クロック (nPCLK) は周期が $1/10^n$ 秒のクロック、即ち、周波数が約 9. 0 MHz のクロックである。初めに各セクタ 5 4 b は接点 b 側に接続されており、マスク ROM などのメモリ 5 4 c からのデータを D 型フリップフロップ 5 4 a-0, 5 4 a-1, …, 5 4 a-518, 5 4 a-519 のそれぞれに入力するようになっている。こうして各フリップフロップにメモリ 5 4 c からのデータが入力されると、各セクタ 5 4 b が接点 a 側に接続するように替えられる。次に n クロック (nPCLK) が入力されると、これらフリップフロップはシフトレジスタとして動作し、順次、フリップフロップ 5 4 a-0 のデータから順次、パルス幅変調 (PWM) クロック (PCLK) として出力される。

【0 0 9 5】

尚、ここで、メモリ 5 4 c に記憶されている各データは、前述の図 1 5 に示すようなデータと同一である。また、このメモリ 5 4 c のアドレス空間は、D 型フリップフロップ 5 4 a-0, 5 4 a-1, …, 5 4 a-518, 5 4 a-519 に対応して、“0” から “5 1 9” 迄の範囲を取り得る。こうして出力される PWM クロック (PCLK) は、前述の実施の形態 2 の場合と全く同じであり、前述の実施の形態 2 と同様な効果が得られることになる (図 1 3 (A) (B) 参照)。

【0 0 9 6】

〔実施の形態 5〕

この実施の形態は、前述の実施の形態において、輝度データ変換部 3 b で行っ

ていた補正と同様の補正を、パルス幅変調信号のパルス幅を決定するためのクロック信号のパターンの設定により行う例を示す。

【0 0 9 7】

全体の構成は図 1 の構成から輝度データ変換部 3 b を削除したものとなる。

【0 0 9 8】

図 3 1 は、本実施の形態の PWM クロック発生器 5 の構成を示すブロック図である。

【0 0 9 9】

図 3 1 において、2 0 2 はカウンタで、n クロック (n PCLK) をカウントする。2 0 3 は ROM で、各アドレスに、予め設定されたデータが 1 ビットで記憶されている。2 0 4 は ROM 2 0 3 の出力データ (1 ビット) をラッチするラッチ回路である。

【0 1 0 0】

図 3 2 は、リードオンリーメモリ (ROM) 等のメモリ 2 0 3 のデータの一例を示す図で、図 3 2 の例で ROM 2 0 3 は「0」～「2 0 4 8」番地を有し、図 3 2 に示された各アドレスに対応するデータは“1”を意味しており、ここに示されていないアドレスには「0」が記憶されている。

【0 1 0 1】

図 3 3 は、本実施の形態 5 の画像表示装置における動作タイミング図を示す。以下、実施の形態 5 を説明する。

【0 1 0 2】

図 1 において、不図示のデコーダにより、例えば N T S C 信号から R G B 信号にデコードされたアナログ R G B 信号が入力されると、A / D コンバータ 2 は、各々例えば 8 ビットのデジタル R G B 信号に変換する。データ並び変換部 3 a は、A / D コンバータ 2 又はコンピュータ等のデジタル R G B 信号 (S G 1) を入力する。この際、1 走査ライン (1 H) のデータ数は、マトリクス型の表示パネル 1 の変調信号線 (列配線) の画素数で決めると処理が簡単になる。本実施の形態 1 の場合、マトリクス型の表示パネル 1 の変調信号線側の画素数を「1 6 0」に定めている。A / D コンバータ 2 又はコンピュータ等のデジタル R G B 信号

(SG1) は不図示のデータサンプリングクロック (DCLK) と同期して出力される。本実施の形態 5 では輝度データ変換部 3 b は設けていない。

【0 1 0 3】

図 3 3 に示す様に、データ並び替え部 3 a の入力信号 (SG1) は、RGB パラレル信号をデータサンプリングクロック (DCLK) の 3 倍の周波数のクロックである不図示のシフトクロック (SCLK) のタイミングで切り替えられ、マトリクス型の表示パネル 1 の RGB 画素配列に従って順次出力される。データ並び替え部 3 a の出力信号 (SG2) はシフトレジスタ 4 に送られ、このシリアルデータはシフトクロック (SCLK) に同期して順次シフト転送され、マトリクス型の表示パネル 1 のそれぞれの素子に対応した 8 ビットのデジタルデータ XD_i ($i = 1 \sim 480$) を走査信号時間 (水平走査時間) 単位で出力する。この 8 ビットのデジタルデータ ($XD_1 \sim XD_{480}$) は変調信号発生部 6 に入力され、前述したように変調信号発生部 6 は、「PWM クロック (PCLK) 数」が「設定値」と等しくなるまでの時間で決まるパルス幅の信号を出力する。変調信号ドライバ 7 は、例えば電位 + V_{dd} (例えば + 7.5 V) で、変調信号発生部 6 から出力されるパルス幅でマトリクス型の表示パネル 1 の変調信号線 (列配線) を駆動する。この結果、変調信号発生部 6 では「設定値」と駆動パルス幅の関係がリニアな関係で輝度変換されることができる。

【0 1 0 4】

一方、走査シフトレジスタ 8 は、水平走査同期信号 (HD) をシフトクロックとし、入力画像に対応してマトリクス型の表示パネル 1 の走査配線を順次走査するためのデータを作る。走査信号ドライバ 9 は、例えばトランジスタスイッチング回路で構成され、走査シフトレジスタ 8 の出力を、マトリクス型の表示パネル 1 の選択された行配線が電位 ($-V_{ss}$: 例えば -7.5 V) になるように切り換えて順次出力する。

【0 1 0 5】

本実施の形態では、輝度変換の一例として、ガンマ変換を説明する。このガンマ変換特性として、例えば、BTA, SMPTE 1125/60 スタジオ規格を用いて説明する。この規格は、

$$L = [(V + 0.1115) / 1.1115]^{(1 / 0.45)} : V \geq 0.0923$$

$$L = V / 4.0 : V < 0.0923 \quad \dots (3)$$

(\wedge はべき乗を意味する)

L は出力輝度、V は入力データである。

【0 1 0 6】

上記式 (3) において、入力データ V は、素子に対応したデジタルデータ (XD 1 ~ XD 4 8 0) であり、L はそのときの変換後の輝度である。本実施の形態 1 のマトリクス型の表示パネル 1 は、パルス幅と発光輝度とがほぼ比例しているので、必要なパルス幅を式 (3) の出力輝度 L に比例させることによってガンマ変換が実現できる。

【0 1 0 7】

この式 (3) のガンマ変換関数を、

$$L = f(V) \quad \dots (4)$$

とおけば、表示パネル 1 の各素子を駆動するパルス幅 τ は各々

$$\tau \propto f(V) \quad \dots (5)$$

と決めれば良い。

【0 1 0 8】

即ち、i 番目の PWM クロック (PCLK) のパルス周期を t_i とする。簡略化のために、入力データ V、ガンマ変換関数 $f(V)$ を「2 5 5」で正規化して考えれば、

$$f(V) \cong 255 \times (\sum t_i)_{i=0 \sim V} / (\sum t_i)_{i=0 \sim 255} \quad \dots (6)$$

上記式 (6) において、 $(\sum t_i)_{i=0 \sim V}$ は、 $i = 0 \sim i = V$ までのパルス周期の時間の総和を示し、 $(\sum t_i)_{i=0 \sim 255}$ は $i = 0 \sim i = 255$ までのパルス周期の時間の総和を示している。この式 (4) を満たす PWM クロック (PCLK) を変調信号発生部 6 に供給することによって輝度変換を実現できる。

【0 1 0 9】

本実施の形態では、この PWM クロック (PCLK) の発生回路を、図 3 1 に示す構成で実現した。図 3 1 において、カウンタ 2 0 2 は n クロック (nPCLK) をカウントして ROM 2 0 3 のアドレス信号として 1 2 ビットのカウンタ値を出力す

る。このアドレスにより読み出されたROM 203の出力はラッチ204にラッチされ、PWMクロック(PCLK)として出力される。

【0110】

ここでROM 203に記憶されるデータは、式(6)を満たすように定めた。即ち、式(6)を $V=0$ から逐次計算し、 $f(V)$ に近くなるようにパルス周期を t_i を決めた。

【0111】

図32は、BTA, SMPTE 1125/60スタジオ規格から計算して求めたパルス周期 t_i を決めるROM 203のデータ例を示している。図32において、データ出力が“1”(ロジックで“H”レベル)であるアドレスだけが示されている。即ち、図32に示されていないアドレスのデータは出力が“0”(ロジックで“L”レベル)である。

【0112】

PWMクロック発生器5のカウンタ202は、CLRパルスにより、その計数値がリセットされ、 $nPCLK$ に同期して“0”から順次アップカウントする。そして、その出力がROM 203のアドレスとなる。こうしてROM 203から読み出された1ビットデータは、ラッチ204によりグリッチが取り除かれ、図33に示したPWMクロック(PCLK)として出力される。こうして前述した変調信号発生部6は、このPWMクロック(PCLK)とシフトレジスタ4からのデジタル値とからパルス幅を決定する。

【0113】

この実施の形態5では、 n クロック($nPCLK$)を以下のように決めた。即ち、NTSC信号を240本の走査ラインのマトリクス型の表示パネル1で表示させるために、インターレースされている有効走査の485本の内、480本をフィールド毎にマトリクス型の表示パネル1に重ね書きして駆動した。即ち、表示パネル1をフレーム周波数60Hz、走査ライン240本の画像信号により駆動した。この場合、1走査ラインの表示に要する時間は、およそ63.5 μ 秒であり、その時間内の56.5 μ 秒を駆動パルス($X_1 \sim 480$)の最大時間と決めた。 n クロック($nPCLK$)は、このとき約27.5n秒の周期、即ち、約36M

H z を選んだ。

【 0 1 1 4 】

本実施の形態 5 の変調信号発生部 6 がこの P W M クロック (PCLK) から決定するパルス幅 (パルス幅と発光輝度がほぼ比例しているので発光輝度と考えてもよい) と、入力ディジタルデータの特性グラフ図を図 3 4 に示す。図 3 4 には、B T A, S M P T E 1 1 2 5 / 6 0 スタジオ規格のガンマ変換特性 (以降、理想値と呼ぶ) も記している。図 3 4 のグラフ図では、実施の形態 1 の特性と、理想値の特性の差が小さく見にくいので、図 3 5 に、ガンマ変換した場合の理想値と実施の形態 5 における輝度変換の誤差のグラフ図を示した。

【 0 1 1 5 】

この結果、マトリクス型の表示パネル 1 において、階調の再現性を良好にして画像表示できた。特に従来例で問題となっていた暗い画像の場合の階調性 (輝度分解能) が十分とれた。

【 0 1 1 6 】

〔実施の形態 6〕

次に本発明の実施の形態 6 について以下に説明する。この実施の形態 6 と前述の実施の形態 5 とを比較すると、P W M クロック発生器 5 が異なるだけで他の構成要素については同じであるので、それらの説明を省略する。

【 0 1 1 7 】

図 3 6 は、本発明の実施の形態 2 の P W M クロック発生器 5 の構成を示すブロック図である。

【 0 1 1 8 】

図 3 6 において、2 1 0 -0, 2 1 0 -1, … 2 1 0 -2047, 2 1 0 -2048 のそれぞれは D 型フリップフロップ、2 1 1 はセクタであり、2 1 2 は、予め所望のデータが書き込まれている、例えばマスク R O M 等のメモリである。

【 0 1 1 9 】

図 3 6 において、P W M クロック (PCLK) は以下の様にして発生される。

【 0 1 2 0 】

初めに、不図示のロード信号により、各々のセクタ 2 1 1 は接点 b 側に切り

替えられ、マスクROM等のメモリ212からのデータを、D型フリップフロップ210-0, 210-1, … 210-2047, 210-2048にロードする。こうして各フリップフロップに1ビットデータをロードした後、各セクタ211は接点a側に切り替えられ、nクロック (nPCLK) により、順次、D型フリップフロップ210-0からのデータ、次にD型フリップフロップ210-1からのデータ、…以下同様にD型フリップフロップ210-2047からのデータ、最後にD型フリップフロップ210-2048からのデータが、PWMクロック (PCLK) として出力される。尚、ここでマスクROM等のメモリ211に記憶されているデータは、前述した図32に示すデータと同一である。マスクROM等のメモリ211のアドレスは、この場合、D型フリップフロップ210-0, 210-1, … 210-2047, 210-2048に対応して「0」から「2048」までである。こうして出力されるPWMクロック (PCLK) は、前述の実施の形態5と全く同じであるので、前述の実施の形態5と同様な輝度変換特性が得られた。

【0121】

以上説明したように本実施の形態6によれば、前述の実施の形態5と同様に、良好な階調性で画像表示できた。特に従来例で問題となっていた暗い画像における階調性が十分とれた。

【0122】

また前述の実施の形態5に比べてカウンタ202が省略できるので、小規模のハードウェア構成で輝度変換を実現できた。特に、カウンタ202やカウンタ202内部の不図示のアドレスデコーダ等が必要のない回路構成であるので、IC化に適している。

【0123】

[参考の形態1]

次に参考の形態1について以下に詳細を説明する。この参考の形態1と前述の実施の形態5とではPWMクロック発生器5の構成が異なるだけで他の構成要素については同じであるのでそれらの説明を省略する。

【0124】

図37は、本参考の形態1におけるPWMクロック発生器5の構成を示すブロ

ック図である。

【0125】

図37において、220はカウンタ、221は1/2分周器、222は1/4分周器、223、224は比較器、225はセクタ制御部、226はセクタである。

【0126】

以下、動作を説明する。初めに、不図示のCLR信号により、カウンタ220がリセットされる。次にnクロック（nPCLK）により、カウンタ220は順次アップカウントを行なう。比較器223、224はそれぞれ不図示の設定値とカウンタ220の出力値とを比較し、その大小関係を出力する。セクタ制御部225は、比較器223、224の出力信号を入力し、セクタ226の切り換えを制御をする。一方、1/2分周器221、1/4分周器222は、それぞれnクロック（nPCLK）を分周する。セクタ226は、セクタ制御部225の出力に応じて、nクロック（nPCLK）、1/2分周器221或は1/4分周器222の出力を選択して出力する。この出力信号がPWMクロック（PCLK）となる。図38は、この参考の形態1におけるカウンタ220の出力値とセクタ226が選択する分周比（対応する分周器221、222の出力値）との関係を示す図である。

【0127】

即ち、比較器223、224はそれぞれ所定値“64”，“192”（10進数）とカウンタ220の計数値とを比較し、カウンタ220の出力値が“64”未満ならセクタ226は接点aを選択して分周比1/1の出力をPWMクロック（PCLK）として出力する。またカウンタ220の計数値が“64”以上で、かつ“192”未満であるならセクタ226は接点bを選択して分周比1/2の出力をPWMクロック（PCLK）として出力する。更に、カウンタ220の計数値が“192”以上であるならセクタ226は接点cを選択して分周比1/4の出力をPWMクロック（PCLK）として出力する。

【0128】

実際のnクロック（nPCLK）は以下のようにして定めた。前述の実施の形態5

と同様に、NTSC信号を240本の走査ラインのマトリクス型の表示パネル1で表示させるために、インターレースされている有効走査線485本のうち480本をフィールド毎にマトリクス型の表示パネル1に重ね書きして駆動した。即ち、表示パネル1をフレーム周波数60Hz、走査ライン240本の画像信号により駆動した。この場合、1走査ラインの表示に要する時間は、約63.5 μ 秒であり、その時間内の56.5 μ 秒を駆動パルス(X1~X480)の最大時間と決めた。nクロック(nPCLK)は、最大704個は必要であるから、約80 μ 秒の周期、即ち、約12.5MHzを選んだ。

【0129】

この参考の形態1では、前述の実施の形態5と同様に、変調信号発生部6がPWMクロック(PCLK)と入力ディジタルデータとに基づいて決定されるパルス幅(パルス幅と発光輝度がほぼ比例しているので発光輝度と考えてもよい)のパルス幅変調信号を出力する。この出力信号の特性グラフ図を図39に示す。

【0130】

図39は、BTA, SMPTE 1125/60スタジオ規格のガンマ変換特性(理想値)のグラフ図を記した。この図39のグラフ図を見てもわかるように、本参考の形態1におけるパルス幅変調信号の特性は、理想値の特性との差が生じる。

【0131】

[参考の形態2]

次に参考の形態2について説明する。この参考の形態2と前述の参考の形態1との違いは、PWMクロック発生器5における分周器221, 222等の数、比較器223, 224等の数が異なるだけであり、他の構成要素については同じであるので、それらの説明を省略する。

【0132】

具体的には、図40に示す本参考の形態2のカウンタ値と分周比の関係においては、比較器は6個設けられており、それぞれ所定値“48”, “112”, “208”, “368”, “528”, “752”(10進数)とカウンタ220の計数値とを比較し、その比較結果に応じて各分周器の出力を選択する。即ち、

カウンタ 220 の出力が “48” 未満であれば分周比 1/1 の出力を PWM クロック (PCLK) として選ぶ。カウンタ 220 の計数値が “48” 以上であり、かつ “112” 未満であるなら分周比 1/2 の出力を PWM クロック (PCLK) として選ぶ。またカウンタ 220 の計数値が “112” 以上であり、かつ “208” 未満であるなら分周比 1/3 の出力を PWM クロック (PCLK) として選ぶ。またカウンタ 220 の計数値が “208” 以上であり、かつ “368” 未満であるなら分周比 1/4 の出力を PWM クロック (PCLK) として選ぶ。カウンタ 220 の計数値が “368” 以上であり、かつ “528” 未満であるなら分周比 1/5 の出力を PWM クロック (PCLK) として選ぶ。またカウンタ 220 の計数値が “528” 以上であり、かつ “752” 未満であるなら分周比 1/6 の出力を PWM クロック (PCLK) として選び、更にカウンタ 220 の計数値が “752” 以上であり、かつ “1030” 未満であるなら分周比 1/8 の出力を PWM クロック (PCLK) として選ぶように動作する。

【0133】

ここで n クロック (nPCLK) は、以下のように決めた。前述の実施の形態 5 と同様に、NTSC 信号を 240 本の走査ラインマトリクス型の表示パネル 1 で表示させるために、インターレースされている有効走査線の 485 本の内、480 本をフィールド毎にマトリクス型の表示パネル 1 に重ね書きし駆動した。即ち、画像表示パネル 1 をフレーム周波数 60 Hz、走査ライン 240 本の画像信号として駆動した。この場合、1 走査ラインの表示に要する時間は、おおよそ 63.6 μ 秒であり、その時間内の 56.5 μ 秒を駆動パルス (X1~X480) の最大時間と決めた。n クロック (nPCLK) は最大 1030 個は必要であるから、約 55 μ 秒の周期、即ち、約 18 MHz を選んだ。

【0134】

こうして実施の形態 5 と同様の変調信号発生部 6 により、この PWM クロック (PCLK) から決定されるパルス幅 (パルス幅と発光輝度がほぼ比例しているので発光輝度と考えてもよい) と、入力デジタルデータの特性グラフを図 41 に示す。

【0135】

図 4 1 は、B T A，S M P T E 1 1 2 5 / 6 0 スタジオ規格のガンマ変換特性（以降理想値と呼ぶ）のグラフ図も記した。図 4 1 のグラフ図では、実施の形態 4 の特性と理想値の特性の差が小さく見にくいので、図 4 2 に、ガンマ変換した場合の理想値と、本参考の形態 2 における輝度変換の誤差のグラフ図を示した。これら図 4 1、図 4 2 のグラフ図を見てもわかるように、本参考の形態 2 の特性は理想値の特性との差が若干あるが、通常の T V 画面での主観評価では劣化の検出ができなかった。ただし、分周の数を増やす必要があった。

【 0 1 3 6 】

〔実施の形態 7〕

次に本発明の実施の形態 7 について以下に説明する。この実施の形態 7 と前述の実施の形態 5 との違いは、P W M クロック発生器 5 が異なるだけであり、他の構成要素については同じであるので説明を省略する。

【 0 1 3 7 】

図 4 3 は、本実施の形態 7 における P W M クロック発生器 5 の構成を示すブロック図であり、4 3 5 4 は電圧制御発振器（V C O）である。

【 0 1 3 8 】

図 4 3 において、P W M クロック発生器 5 から出力される P W M クロック（P C L K）は、制御電圧 E_i に比例した周波数の信号を出力する発振器からの出力である。即ち、P W M クロック（P C L K）である V C O 4 3 5 4 の発信周波数 F_i は（ここで添え字 i は、 i 番目のクロックを意味する）

$$E_i \propto F_i \quad \dots (7)$$

であり、その時の P W M クロック（P C L K）である V C O 4 3 5 4 の出力信号の周期 t_i は、

$$F_i = 1 / t_i \quad \dots (8)$$

である。

【 0 1 3 9 】

ここで、式（6）の両辺を微分すれば、

$$f(V)' \propto t_i \quad \dots (9)$$

である（' は微分を意味する）。

【0 1 4 0】

従って、式（7）と式（8），（9）とから、制御電圧 E_i は、

$$E_i \propto 1 / (f(V)') \quad \dots (10)$$

である。即ち、所望の輝度変換テーブルの微分値の逆数に比例した電圧を制御電圧 E_i にする。

【0 1 4 1】

ここでは実施の形態 5 と同様に、NTSC 信号を 240 本の走査ラインのマトリクス型の表示パネル 1 で表示させるために、インターレースされている有効走査線の 485 本の内、480 本をフィールド毎にマトリクス型の表示パネル 1 に重ね書きするように駆動した。即ち、画像表示パネル 1 をフレーム周波数 60 Hz、走査ライン 240 本の画像信号として駆動した。この場合、1 走査ラインの表示に要する時間は、約 63.6 μ 秒であり、その時間内の 56.5 μ 秒を PWM パルスの最大時間と決めた。そして式（10）の条件で、制御電圧 E_i を決めた。その結果、実際の PWM クロック（PCLK）である VCO 4354 の周期 t_i は、約 55 n 秒の周期（約 18 MHz）から約 440 n 秒の周期（約 2.25 MHz）に変化する。

【0 1 4 2】

その結果、階調の再現性を良くしてマトリクス型の表示パネル 1 に画像を表示できた。特に従来例で問題となっていた暗い画像の場合の階調性（輝度分解能）が十分とれた。

【0 1 4 3】

〔実施の形態 8〕

本実施の形態 8 では、輝度変換の一例として、逆ガンマ補正となまった立ち上がり波形の補正（例えば 1～2 [μ 秒] 程度の立ち上がり時間を要しているための輝度補正）とをパルス幅設定用のクロックの周波数の設定により行う例について示す。

【0 1 4 4】

この実施の形態 8 と実施の形態 5 との構成上の違いは、図 31 においてリードオンリメモリ（ROM）等のメモリ 203 のデータの内容が異なるだけであり、

他の構成要素については同じであるので、説明を省略する。

【0145】

本実施の形態8では、実施の形態7で説明した式(3)、(4)通りに各パルス幅を決定するが、式(5)の代りに、その時刻に実際に冷陰極素子に加わる電圧によって得られた単位時間当たりの輝度 $L_f(t)$ をパルス幅 τ で積分した値を $L_f\tau$ とすると

$$L_f\tau \propto f(V) \quad \dots (11)$$

で決まる時間 τ を決定する。

【0146】

前記その時刻に実際に冷陰極素子に加わる電圧によって得られた単位時間あたりの輝度は、簡便にはその時刻に実際に冷陰極素子に加わる電圧によって得られた放出電流値をパルス幅 τ で積分して求めても良い(なぜならば、冷陰極素子の放出電流値はほぼ輝度に比例するからである)。

【0147】

すなわち、 i 番目のPWMクロック(PCLK)のパルス周期を t_i 、

その時刻に実際に冷陰極素子に加わる電圧によって得られた単位時間あたりの輝度を L_{fi} とし、

簡略化のために、 V 、 $f(V)$ を“255”で正規化して考えれば、

$$f(V) \doteq 255 \times (\sum t_i \times L_{fi}) / (\sum t_i \times L_{fi}) \quad \dots (12)$$

(但し、ここで、最初の Σ は $i=0 \sim V$ の積和演算を示し、2番目の Σ は $i=0 \sim 255$ の積和演算を示している)

を満たすPWMクロック(PCLK)を、前記変調信号発生部6に供給することによって、マトリクス画像表示パネル1の駆動波形がなまっている場合に良好に逆ガンマ変換を実現できる。

【0148】

実施の形態8では、実施の形態5と同様に、実際の n クロック(n PCLK)を、約27.5[n秒]の周期、即ち、約36MHz、駆動波形を実施の形態1と同じ図7の波形であるとし、式(12)を逐次計算し、ROM等のメモリ203のデータの内容を得た。図44の実施の形態5と同様に、データが“1”であると

ころのアドレスを示す表を示した。

【0 1 4 9】

図 4 4 のデータを持つ ROM 等のメモリ 2 0 3 を用いた実施の形態 8 では、実施の形態 5 と同様に良好に逆ガンマ変換が行え、更に実施の形態 5 と同様に、低輝度の階調性が改善された。

【0 1 5 0】

その結果、マトリクス画像表示パネル 1 に良好な逆ガンマ変換した画像を良好な階調性で表示できた。特に従来例で問題となっていた特に暗い画像の場合の階調性（輝度分解能）が十分とれた。

【0 1 5 1】

〔実施の形態 9〕

実施の形態 9 について、以下に詳細を示す。実施の形態 9 と実施の形態 6 との違いは、図 3 6 において ROM 等のメモリ 2 1 2 のデータの内容が異なるだけであり、他の構成要素については同じであるので、説明を省略する。

【0 1 5 2】

実施の形態 9 において、マスク ROM 等のメモリ 2 1 2 は、前述の図 4 4 のデータと同一である。マスク ROM 等のメモリ 2 1 2 のアドレスは、この場合、D 型フリップフロップ 2 1 0-0, 2 1 0-1, … 2 1 0-2047, 2 1 0-2048 に対応して 0 から 2 0 4 8 までである。出力される PWM クロック (PCLK) は実施の形態 8 とまったく同じであるが、実施の形態 8 と全く同じ輝度変換特性が得られた。

【0 1 5 3】

実施の形態 8 と同様に実施の形態 9 においても、マトリクス画像表示パネル 1 に良好な逆ガンマ変換した画像を良好な階調性で表示できた。

【0 1 5 4】

特に従来例で問題となっていた特に暗い画像の場合の階調性（輝度分解能）が十分とれた。

【0 1 5 5】

また実施の形態 8 に比べカウンタ 2 0 3 が省略できるので、少ないハードウェア量で輝度変換を実現できる。特に、カウンタ 2 0 3 やカウンタ 2 0 3 内部の不

図示のアドレスデコーダ等が必要のない回路構成であるので、ＩＣ化に適している。

【 0 1 5 6 】

また、本実施の形態若しくは前述の実施の形態の内、パルス幅設定のためのクロックの生成にメモリを用いる構成において、これらマスクＲＯＭ等のメモリ 2 1 2 等のデータを複数組持ち、不図示のシステムコントローラ等でユーザの設定等により任意に選ぶことにより、ユーザの好みに応じて階調特性を決めることもできる。また入力画像信号や、画像表示装置のおかれた環境（特に照度）によって不図示のシステムコントローラが、前記マスクＲＯＭ等のメモリの複数組のデータの中から最適なデータを選ぶことにより、入力画像信号や、画像表示装置のおかれた環境に対して良好な画像をユーザに提供できる。

【 0 1 5 7 】

〔その他の実施の形態〕

〔 n クロック〕

前述のいくつかの実施の形態では、 n クロック（ n PCLK）としてPWMクロック（PCLK）のクロック周波数の 2 倍の周波数を使用した。例えば、3 倍や 4 倍の周波数や他の周波数を使用しても良い。その場合、クロック周波数が高くなることによりハードウェアの設計制約は増えるが、より精度良く式（2）が成り立ち、階調の再現性がさらに改善される。

【 0 1 5 8 】

〔変調信号発生部 6 の他の構成例〕

前述した各実施の形態では、変調信号発生部 6 は、図 2 に示したようにダウンカウンタを使用した。例えば図 1 7 に示すように、アップカウンタ 6 2 a と比較器 6 2 c 及びラッチ 6 2 b で構成しても良い。

【 0 1 5 9 】

図 1 8 は、図 1 7 の構成における変調信号発生部 6 の動作を示すタイミング図である。

【 0 1 6 0 】

図 1 7 において、ラッチ 6 2 b は、シフトレジスタ 5 からの出力デジタルデー

タ (XD1~XD480) をロード信号 (Ld) でラッチする。一方、アップカウンタ 6 2 a は、P W M クロック (PCLK) の立ち下がりに同期して “0” からカウントアップする。そして、比較器 6 2 c により、ラッチ 6 2 b にロードされた値とカウンタ 6 2 a のカウント値とを比較し、これら 2 つの値が等しくなるまで信号 (PWMout) を出力する。図 1 8 は、ラッチ 6 2 b に値「p」がセットされた場合のパルス幅変調出力のタイミングを示している。この構成によっても、P W M クロック (PCLK) の数がシフトレジスタ 4 から入力される値に等しくなるまでの時間で決まるパルス幅変調した変調信号を出力することが可能である。当然この構成は、本発明の各実施の形態にも対応できる。またラッチに代えてレジスタを用いてもよい。

【0 1 6 1】

(P W M クロック (PCLK) パルス幅の他の決定法)

また前述の実施の形態では、P W M クロック (PCLK) パルス幅を、入力される画像データの輝度に基づいて決定した。しかし、他の輝度に相関のあるパラメータ (例えば、放出電流値や素子電流値) 等から決定しても同様な効果が期待できる。当然、この P W M 信号の決定法は、前述した実施の形態にも適用できる。

【0 1 6 2】

[ガンマ補正]

上述の各実施の形態では、ガンマ補正を行っているが、これは例えば C R T の表示用にガンマ補正されている信号のガンマ補正を解除もしくは緩和する補正 (逆ガンマ補正) を好適に採用し得る。

【0 1 6 3】

[表示パネル]

また、本発明の実施の形態は、冷陰極電子放出素子で構成する例で説明したが、むろん、他の電子放出素子もしくは有機 E L 等を用いて画像形成する構成に対しても適用できる。また、前記冷陰極型電子源は、表面伝導型放出素子、或は、F E 型放出素子、或は、M I M 型放出素子等で構成されていても問題なく適応できる。

【0 1 6 4】

本発明の実施の形態に係わる画像表示装置は、基本的には薄型の真空容器内に、基板上に多数の電子源、例えば冷陰極素子を配列してなるマルチ電子源と、電子の照射により画像を形成する画像形成部材とを対向して備えている。

【 0 1 6 5 】

これら冷陰極素子は、例えばフォトリソグラフィ・エッチングのような製造技術を用いれば基板上に精密に位置決めして形成できるため、微小な間隔で多数個を配列することが可能である。しかも、従来からＣＲＴ等で用いられてきた熱陰極と比較すると、陰極自身やその周辺部が比較的低温な状態で駆動できるため、より微細な配列ピッチのマルチ電子源を容易に実現できる。

【 0 1 6 6 】

また、冷陰極素子の中でもとりわけ好ましいのは、表面伝導型放出素子（ＳＣＥ）である。即ち、冷陰極素子のうち、ＭＩＭ型素子は絶縁層や上部電極の厚さを比較的精密に制御する必要があり、またＦＥ型素子は針状の電子放出部の先端形状を精密に制御する必要がある。そのため、これらの素子は、比較的製造コストが高くなったり、製造プロセス上の制限から大面積のものを作製するのが困難となる場合があった。これに対して、ＳＣＥは構造が単純で製造が簡単であり、大面積のものも容易に作製できる。近年、特に大画面で安価な表示装置が求められる状況においては、とりわけ好適な冷陰極素子であるといえる。

【 0 1 6 7 】

（表示パネルの構成と製造法）

次に、本発明の実施の形態に適用した画像表示装置の表示パネルの構成と製造法について、具体的な例を示して説明する。

【 0 1 6 8 】

図 1 9 は、本実施の形態の表示パネル 1 0 0 0 の外観斜視図であり、その内部構造を示すために表示パネル 1 0 0 0 の 1 部を切り欠いて示している。

【 0 1 6 9 】

図中、1 0 0 5 はリアプレート、1 0 0 6 は側壁、1 0 0 7 はフェースプレートであり、1 0 0 5 ～ 1 0 0 7 により表示パネルの内部を真空に維持するための気密容器を形成している。気密容器を組み立てるにあたっては、各部材の接合部

に十分な強度と気密性を保持させるため封着する必要があるが、例えばフリットガラスを接合部に塗布し、大気中あるいは窒素雰囲気中で、400℃～500℃で10分以上焼成することにより封着を達成した。気密容器内部を真空に排気する方法については後述する。

【0170】

リアプレート1005には、基板1001が固定されているが、この基板1001上には表面伝導型放出素子1002が $N \times M$ 個形成されている（ここで N 、 M は2以上の正の整数であり、目的とする表示画素数に応じて適宜設定される。例えば、高品位テレビジョンの表示を目的とした表示装置においては、 $N=3000$ 、 $M=1000$ 以上の数を設定することが望ましい。本実施の形態においては、 $N=3072$ 、 $M=1024$ とした）。前記 $N \times M$ 個の表面伝導型放出素子1002は、 M 本の行方向配線1003と N 本の列方向配線1004により単純マトリクス配線されている。前記1001～1004によって構成される部分をマルチ電子源と呼ぶ。なお、マルチ電子源の製造方法や構造については、後で詳しく述べる。

【0171】

本実施の形態においては、気密容器のリアプレート1005にマルチ電子源の基板1001を固定する構成としたが、マルチ電子源の基板1001が十分な強度を有するものである場合には、気密容器のリアプレートとしてマルチ電子源の基板1001自体を用いてもよい。

【0172】

また、フェースプレート1007の下面には、蛍光膜1008が形成されている。本実施の形態の表示パネル1000はカラー表示用であるため、蛍光膜1008の部分にはCRTの分野で用いられる赤（R）、緑（G）、青（B）の3原色の蛍光体が塗り分けられている。各色の蛍光体は、例えば図20（A）に示すようにストライプ状に塗り分けられ、各色の蛍光体のストライプの間には黒色の導電体1010が設けてある。この黒色の導電体1010を設ける目的は、電子ビームの照射位置に多少のずれがあっても表示色にずれが生じないようにするためや、外光の反射を防止して表示コントラストの低下を防ぐため、更には電子ビ

ームによる蛍光膜のチャージアップを防止するためなどである。黒色の導電体 1010 には、黒鉛を主成分として用いたが、上記の目的に適するものであればこれ以外の材料を用いても良い。

【0173】

また、3 原色の蛍光体の塗り分け方は図 20 (A) に示したストライプ状の配列に限られるものではなく、例えば図 20 (B) に示すようなデルタ状配列や、それ以外の配列であってもよい。なお、モノクロームの表示パネルを作成する場合には、単色の蛍光体材料を蛍光膜 1008 に用いればよく、また黒色導電材料は必ずしも用いなくともよい。

【0174】

また、蛍光膜 1008 のリアプレート側の面には、CRT の分野では公知のメタルバック 1009 を設けてある。このメタルバック 1009 を設けた目的は、蛍光膜 1008 が発する光の一部を鏡面反射して光利用率を向上させるため、負イオンの衝突から蛍光膜 1008 を保護するため、電子ビーム加速電圧を印加するための電極として作用させるため、蛍光膜 1008 を励起した電子の導電路として作用させるためなどである。このメタルバック 1009 は、蛍光膜 1008 をフェースプレート基板 1007 上に形成した後、蛍光膜表面を平滑化处理し、その上にアルミニウムを真空蒸着する方法により形成した。なお、蛍光膜 1008 に低電圧用の蛍光体材料を用いた場合には、メタルバック 1009 は用いない。

【0175】

また、本実施の形態では用いなかったが、加速電圧の印加用や蛍光膜の導電性向上を目的として、フェースプレート基板 1007 と蛍光膜 1008 との間に、例えば ITO を材料とする透明電極を設けてもよい。

【0176】

また、 $Dx1 \sim DxM$ および $Dy1 \sim DyN$ および Hv は、当該表示パネル 1000 と不図示の電気回路とを電氣的に接続するために設けた気密構造の電気接続用端子である。 $Dx1 \sim DxM$ はマルチ電子源の行方向配線 1003 と、 $Dy1 \sim DyN$ はマルチ電子源の列方向配線 1004 と、 Hv はフェースプレートのメタルバック 10

0 9 とそれぞれ電氣的に接続している。

【 0 1 7 7 】

また、気密容器内部を真空に排気するには、気密容器を組み立てた後、不図示の排気管と真空ポンプとを接続し、気密容器内を 1 0 のマイナス 7 乗 [torr] 程度の真空度まで排気する。その後、排気管を封止するが、気密容器内の真空度を維持するために、封止の直前あるいは封止後に気密容器内の所定の位置にゲッター膜（不図示）を形成する。ゲッター膜とは、例えば B a を主成分とするゲッター材料をヒータもしくは高周波加熱により加熱し蒸着して形成した膜であり、該ゲッター膜の吸着作用により気密容器内は 1×10 マイナス 5 乗ないしは 1×10 マイナス 7 乗 [torr] の真空度に維持される。

【 0 1 7 8 】

以上、本発明の実施の形態の表示パネル 1 0 0 0 の基本構成と製法を説明した。

【 0 1 7 9 】

次に、この実施の形態の表示パネル 1 0 0 0 に用いたマルチ電子源の製造方法について説明する。本実施の形態の画像表示装置に用いるマルチ電子源は、表面伝導型放出素子を単純マトリクス配線した電子源であれば、表面伝導型放出素子の材料や形状あるいは製法に制限はない。しかしながら、本願発明者らは、表面伝導型放出素子の中では、電子放出部もしくはその周辺部を微粒子膜から形成したものが電子放出特性に優れ、しかも製造が容易に行えることを見出している。したがって、高輝度で大画面の画像表示装置のマルチ電子源に用いるには、最も好適であると言える。そこで、上記実施の形態の表示パネルにおいては、電子放出部もしくはその周辺部を微粒子膜から形成した表面伝導型放出素子を用いた。そこで、まず好適な表面伝導型放出素子について基本的な構成と製法および特性を説明し、その後で多数の素子を単純マトリクス配線したマルチ電子源の構造について述べる。

【 0 1 8 0 】

（表面伝導型放出素子の好適な素子構成と製法）

電子放出部もしくはその周辺部を微粒子膜から形成する表面伝導型放出素子の

代表的な構成には、平面型と垂直型の2種類があげられる。

【0181】

(平面型の表面伝導型放出素子)

まず最初に、平面型の表面伝導型放出素子の素子構成と製法について説明する。図21に示すのは、平面型の表面伝導型放出素子の構成を説明するための平面図(A)および断面図(B)である。図中、1101は基板、1102と1103は素子電極、1104は導電性薄膜、1105は通電フォーミング処理により形成した電子放出部、1113は通電活性化処理により形成した薄膜である。

【0182】

基板1101としては、例えば、石英ガラスや青板ガラスをはじめとする各種ガラス基板や、アルミナをはじめとする各種セラミクス基板、あるいは上述の各種基板上に、例えばSiO₂を材料とする絶縁層を積層した基板などを用いることができる。

【0183】

また、基板1101上に基板面と平行に対向して設けられた素子電極1102と1103は、導電性を有する材料によって形成されている。例えば、Ni, Cr, Au, Mo, W, Pt, Ti, Cu, Pd, Ag等をはじめとする金属、あるいはこれらの金属の合金、あるいはIn₂O₃-SnO₂をはじめとする金属酸化物、ポリシリコンなどの半導体、などの中から適宜材料を選択して用いればよい。電極を形成するには、例えば真空蒸着などの製膜技術とフォトリソグラフィ、エッチングなどのパターニング技術を組み合わせて用いれば容易に形成できるが、それ以外の方法(例えば印刷技術)を用いて形成してもさしつかえない。

【0184】

素子電極1102と1103の形状は、当該電子放出素子の応用目的に合わせて適宜設計される。一般的には、電極間隔Lは通常は数百オングストロームから数百マイクロメータの範囲から適当な数値を選んで設計されるが、なかでも表示装置に応用するために好ましいのは数マイクロメータより数十マイクロメータの範囲である。また、素子電極の厚さdについては、通常は数百オングストロームから数マイクロメータの範囲から適当な数値が選ばれる。

【0185】

また、導電性薄膜 1104 の部分には微粒子膜を用いる。ここで述べた微粒子膜とは、構成要素として多数の微粒子を含んだ膜（島状の集合体も含む）のことをさす。微粒子膜を微視的に調べれば、通常は、個々の微粒子が離間して配置された構造か、あるいは微粒子が互いに隣接した構造か、あるいは微粒子が互いに重なり合った構造が観測される。

【0186】

微粒子膜に用いた微粒子の粒径は、数オングストロームから数千オングストロームの範囲に含まれるものであるが、中でも好ましいのは 10 オングストロームから 200 オングストロームの範囲のものである。また、微粒子膜の膜厚は、以下に述べるような諸条件を考慮して適宜設定される。即ち、素子電極 1102 或は 1103 と電気的に良好に接続するのに必要な条件、後述する通電フォーミングを良好に行うのに必要な条件、微粒子膜自身の電気抵抗を後述する適宜の値にするために必要な条件、などである。具体的には、数オングストロームから数千オングストロームの範囲のなかで設定するが、なかでも好ましいのは 10 オングストロームから 500 オングストロームの間である。

【0187】

また、微粒子膜を形成するのに用いられうる材料としては、例えば、Pd, Pt, Ru, Ag, Au, Ti, In, Cu, Cr, Fe, Zn, Sn, Ta, W, Pb などをはじめとする金属や、PdO, SnO₂, In₂O₃, PbO, Sb₂O₃ などをはじめとする酸化物や、HfB₂, ZrB₂, LaB₆, CeB₆, YB₄, GdB₄ などをはじめとする硼化物や、TiC, ZrC, HfC, TaC, SiC, WC などをはじめとする炭化物や、TiN, ZrN, HfN, などをはじめとする窒化物や、Si, Ge, などをはじめとする半導体や、カーボン、などがあげられ、これらの中から適宜選択される。

【0188】

以上述べたように、導電性薄膜 1104 を微粒子膜で形成したが、そのシート抵抗値については、10 の 3 乗から 10 の 7 乗 [Ω/\square] の範囲に含まれるよう設定した。

【0189】

なお、導電性薄膜1104と素子電極1102および1103とは、電氣的に良好に接続されるのが望ましいため、互いの一部が重なりあうような構造をとっている。その重なり方は、図21の例においては、下から、基板、素子電極、導電性薄膜の順序で積層したが、場合によっては下から基板、導電性薄膜、素子電極、の順序で積層してもさしつかえない。

【0190】

また、電子放出部1105は、導電性薄膜1104の一部に形成された亀裂状の部分であり、電氣的には周囲の導電性薄膜よりも高抵抗な性質を有している。この亀裂は、導電性薄膜1104に対して、後述する通電フォーミングの処理を行うことにより形成する。亀裂内には、数オングストロームから数百オングストロームの粒径の微粒子を配置する場合がある。なお、実際の電子放出部の位置や形状を精密かつ正確に図示するのは困難なため、図21においては模式的に示した。

【0191】

また、薄膜1113は、炭素もしくは炭素化合物よりなる薄膜で、電子放出部1105およびその近傍を被覆している。薄膜1113は、通電フォーミング処理後に、後述する通電活性化の処理を行うことにより形成する。

【0192】

薄膜1113は、単結晶グラファイト、多結晶グラファイト、非晶質カーボン、のいずれかか、もしくはその混合物であり、膜厚は500 [オングストローム] 以下とするが、300 [オングストローム] 以下とするのがさらに好ましい。なお、実際の薄膜1113の位置や形状を精密に図示するのは困難なため、図21においては模式的に示した。また、平面図(A)においては、薄膜1113の一部を除去した素子を図示した。

【0193】

以上、好ましい素子の基本構成を述べたが、実施の形態においては以下のような素子を用いた。すなわち、基板1101には青板ガラスを用い、素子電極1102と1103にはNi薄膜を用いた。素子電極の厚さdは1000 [オングス

トローム]、電極間隔Lは2 [マイクロメータ] とした。

【0194】

微粒子膜の主要材料としてPdもしくはPdOを用い、微粒子膜の厚さは約100 [オングストローム]、幅Wは100 [マイクロメータ] とした。

【0195】

次に、好適な平面型の表面伝導型放出素子の製造方法について説明する。図22(a)～(d)は、表面伝導型放出素子の製造工程を説明するための断面図で、各部材の表記は前記図21と同一である。

【0196】

(1) まず、図22(a)に示すように、基板1101上に素子電極1102および1103を形成する。これら電極を形成するにあたっては、予め基板1101を洗剤、純水、有機溶剤を用いて十分に洗浄後、素子電極の材料を堆積させる(堆積する方法としては、例えば、蒸着法やスパッタ法などの真空成膜技術を用いればよい)。その後、堆積した電極材料を、フォトリソグラフィ・エッチング技術を用いてパターニングし、(a)に示した一对の素子電極(1102と1103)を形成する。

【0197】

(2) 次に、同図(b)に示すように、導電性薄膜1104を形成する。この導電性薄膜1104を形成するにあたっては、まず前記(a)の基板に有機金属溶液を塗布して乾燥し、加熱焼成処理して微粒子膜を成膜した後、フォトリソグラフィ・エッチングにより所定の形状にパターニングする。ここで、有機金属溶液とは、導電性薄膜に用いる微粒子の材料を主要元素とする有機金属化合物の溶液である(具体的には、本実施の形態では主要元素としてPdを用いた。また、実施の形態では塗布方法として、ディッピング法を用いたが、それ以外の例えばスピナー法やスプレー法を用いてもよい)。

【0198】

また、微粒子膜で作られる導電性薄膜の成膜方法としては、本実施の形態で用いた有機金属溶液の塗布による方法以外の、例えば真空蒸着法やスパッタ法、あるいは化学的気相堆積法などを用いる場合もある。

【0199】

(3) 次に、同図(c)に示すように、フォーミング用電源1110から素子電極1102と1103の間に適宜の電圧を印加し、通電フォーミング処理を行って、電子放出部1105を形成する。

【0200】

通電フォーミング処理とは、微粒子膜で作られた導電性薄膜1104に通電を行って、その一部を適宜に破壊、変形、もしくは変質せしめ、電子放出を行うのに好適な構造に変化させる処理のことである。微粒子膜で作られた導電性薄膜のうち電子放出を行うのに好適な構造に変化した部分（すなわち電子放出部1105）においては、薄膜に適当な亀裂が形成されている。なお、電子放出部1105が形成される前と比較すると、形成された後は素子電極1102と1103の間で計測される電気抵抗は大幅に増加する。

【0201】

この通電方法をより詳しく説明するために、図23に、フォーミング用電源1110から印加する適宜の電圧波形の一例を示す。微粒子膜で作られた導電性薄膜をフォーミングする場合にはパルス状の電圧が好ましく、本実施の形態の場合には同図に示すように、パルス幅 T_1 の三角波パルスをパルス間隔 T_2 で連続的に印加した。その際、三角波パルスの波高値 V_{pf} を、順次昇圧した。また、電子放出部1105の形成状況をモニタするためのモニタパルス P_m を適宜の間隔で三角波パルスの間に挿入し、その際に流れる電流を電流計1111で計測した。

【0202】

本実施の形態においては、例えば10のマイナス5乗[torr]程度の真空雰囲気下において、例えばパルス幅 T_1 を1[ミリ秒]、パルス間隔 T_2 を10[ミリ秒]とし、波高値 V_{pf} を1パルスごとに0.1[V]ずつ昇圧した。そして、三角波を5パルス印加するたびに1回の割りで、モニタパルス P_m を挿入した。フォーミング処理に悪影響を及ぼすことがないように、モニタパルスの電圧 V_{pm} は0.1[V]に設定した。そして、素子電極1102と1103の間の電気抵抗が 1×10^6 の6乗[オーム]になった段階、すなわちモニタパルス印加時

に電流計 1111 で計測される電流が 1×10 のマイナス 7 乗 [A] 以下になった段階で、フォーミング処理にかかわる通電を終了した。

【0203】

なお、上記の方法は、本実施の形態の表面伝導型放出素子に関する好ましい方法であり、例えば微粒子膜の材料や膜厚、あるいは素子電極間隔 L など表面伝導型放出素子の設計を変更した場合には、それに応じて通電の条件を適宜変更するのが望ましい。

【0204】

(4) 次に、図 22 (d) に示すように、活性化用電源 1112 から素子電極 1102 と 1103 の間に適宜の電圧を印加し、通電活性化処理を行って、電子放出特性の改善を行う。この通電活性化処理とは、前記通電フォーミング処理により形成された電子放出部 1105 に適宜の条件で通電を行って、その近傍に炭素もしくは炭素化合物を堆積せしめる処理のことである。(図においては、炭素もしくは炭素化合物よりなる堆積物を部材 1113 として模式的に示した)。なお、通電活性化処理を行うことにより、行う前と比較して、同じ印加電圧における放出電流を典型的には 100 倍以上に増加させることができる。

【0205】

具体的には、 10 のマイナス 4 乗ないし 10 のマイナス 5 乗 [torr] の範囲内の真空雰囲気中で、電圧パルスを定期的に印加することにより、真空雰囲気中に存在する有機化合物を起源とする炭素もしくは炭素化合物を堆積させる。堆積物 1113 は、単結晶グラファイト、多結晶グラファイト、非晶質カーボン、のいずれかか、もしくはその混合物であり、膜厚は 500 [オングストローム] 以下、より好ましくは 300 [オングストローム] 以下である。

【0206】

通電方法をより詳しく説明するために、図 24 (a) に、活性化用電源 1112 から印加する適宜の電圧波形の一例を示す。本実施の形態においては、一定電圧の矩形波を定期的に印加して通電活性化処理を行ったが、具体的には、矩形波の電圧 V_{ac} は 14 [V] , パルス幅 T_3 は、1 [ミリ秒] , パルス間隔 T_4 は 10 [ミリ秒] とした。なお、上述の通電条件は、本実施の形態の表面伝導型放

出素子に関する好ましい条件であり、表面伝導型放出素子の設計を変更した場合には、それに応じて条件を適宜変更するのが望ましい。

【0207】

図22(d)に示す1114は、該表面伝導型放出素子から放出される放出電流 I_e を捕捉するためのアノード電極で、直流高電圧電源1115および電流計1116が接続されている。(なお、基板1101を、表示パネルの中に組み込んでから活性化処理を行う場合には、表示パネルの蛍光面をアノード電極1114として用いる)。活性化用電源1112から電圧を印加する間、電流計1116で放出電流 I_e を計測して通電活性化処理の進行状況をモニタし、活性化用電源1112の動作を制御する。電流計1116で計測された放出電流 I_e の一例を図24(b)に示す。活性化電源1112からパルス電圧を印加しはじめると、時間の経過とともに放出電流 I_e は増加するが、やがて飽和してほとんど増加しなくなる。このように、放出電流 I_e がほぼ飽和した時点で活性化用電源1112からの電圧印加を停止し、通電活性化処理を終了する。

【0208】

なお、上述の通電条件は、本実施の形態の表面伝導型放出素子に関する好ましい条件であり、表面伝導型放出素子の設計を変更した場合には、それに応じて条件を適宜変更するのが望ましい。

【0209】

以上のようにして、図22(e)に示す平面型の表面伝導型放出素子を製造した。

【0210】

(垂直型の表面伝導型放出素子)

次に、電子放出部もしくはその周辺を微粒子膜から形成した表面伝導型放出素子のもうひとつの代表的な構成、すなわち垂直型の表面伝導型放出素子の構成について説明する。

【0211】

図25は、本実施の形態の垂直型の基本構成を説明するための模式的な断面図であり、図中の1201は基板、1202と1203は素子電極、1206は段

差形成部材、1204は微粒子膜を用いた導電性薄膜、1205は通電フォーミング処理により形成した電子放出部、1213は通電活性化処理により形成した薄膜、である。

【0212】

垂直型が先に説明した平面型と異なる点は、素子電極のうちの片方(1202)が段差形成部材1206上に設けられており、導電性薄膜1204が段差形成部材1206の側面を被覆している点にある。したがって、前記図21の平面型における素子電極間隔Lは、垂直型においては段差形成部材1206の段差高L_sとして設定される。なお、基板1201、素子電極1202および1203、微粒子膜を用いた導電性薄膜1204、については、前記平面型の説明中に列挙した材料を同様に用いることが可能である。また、段差形成部材1206には、例えばSiO₂のような電氣的に絶縁性の材料を用いる。

【0213】

次に、垂直型の表面伝導型放出素子の製法について説明する。図26(a)～(f)は、製造工程を説明するための断面図で、各部材の表記は前記図25と同一である。

【0214】

(1) まず、図26(a)に示すように、基板1201上に素子電極1203を形成する。

【0215】

(2) 次に、同図(b)に示すように、段差形成部材を形成するための絶縁層を積層する。絶縁層は、例えばSiO₂をスパッタ法で積層すればよいが、例えば真空蒸着法や印刷法などの他の成膜方法を用いてもよい。

【0216】

3) 次に、同図(c)に示すように、絶縁層の上に素子電極1202を形成する。

【0217】

4) 次に、同図(d)に示すように、絶縁層の一部を、例えばエッチング法を用いて除去し、素子電極1203を露出させる。

【0 2 1 8】

5) 次に、同図 (e) に示すように、微粒子膜を用いた導電性薄膜 1 2 0 4 を形成する。形成するには、前記平面型の場合と同じく、例えば塗布法などの成膜技術を用いればよい。

【0 2 1 9】

6) 次に、前記平面型の場合と同じく、通電フォーミング処理を行い、電子放出部を形成する (図 2 2 (c) を用いて説明した平面型の通電フォーミング処理と同様の処理を行えばよい)。

【0 2 2 0】

(7) 次に、前記平面型の場合と同じく、通電活性化処理を行い、電子放出部近傍に炭素もしくは炭素化合物を堆積させる (図 2 2 (d) を用いて説明した平面型の通電活性化処理と同様の処理を行えばよい)。

【0 2 2 1】

以上のようにして、図 2 6 (f) に示す垂直型の表面伝導型放出素子を製造した。

【0 2 2 2】

(表示装置に用いた表面伝導型放出素子の特性)

以上、平面型と垂直型の表面伝導型放出素子について素子構成と製法を説明したが、次に表示装置に用いた素子の特性について述べる。

【0 2 2 3】

図 2 7 に、本実施の形態の表示装置に用いた素子の (放出電流 I_e) 対 (素子印加電圧 V_f) 特性、および (素子電流 I_f) 対 (素子印加電圧 V_f) 特性の典型的な例を示す。なお、放出電流 I_e は素子電流 I_f に比べて著しく小さく、同一尺度で図示するのが困難であるうえ、これらの特性は素子の大きさや形状等の設計パラメータを変更することにより変化するものであるため、2 本のグラフは各々任意単位で図示した。

【0 2 2 4】

表示装置に用いた素子は、放出電流 I_e に関して以下に述べる 3 つの特性を有している。

【 0 2 2 5 】

第一に、ある電圧（これを閾値電圧 V_{th} と呼ぶ）以上の大きさの電圧を素子に印加すると急激に放出電流 I_e が増加するが、一方、閾値電圧 V_{th} 未満の電圧では放出電流 I_e はほとんど検出されない。すなわち、放出電流 I_e に関して、明確な閾値電圧 V_{th} を持った非線形素子である。

【 0 2 2 6 】

第二に、放出電流 I_e は素子に印加する電圧 V_f に依存して変化するため、電圧 V_f で放出電流 I_e の大きさを制御できる。

【 0 2 2 7 】

第三に、素子に印加する電圧 V_f に対して素子から放出される電流 I_e の応答速度が速いため、電圧 V_f を印加する時間の長さによって素子から放出される電子の電荷量を制御できる。

【 0 2 2 8 】

以上のような特性を有するため、表面伝導型放出素子を表示装置に好適に用いることができた。例えば多数の素子を表示画面の画素に対応して設けた表示装置において、第一の特性を利用すれば、表示画面を順次走査して表示を行うことが可能である。すなわち、駆動中の素子には所望の発光輝度に応じて閾値電圧 V_{th} 以上の電圧を適宜印加し、非選択状態の素子には閾値電圧 V_{th} 未満の電圧を印加する。駆動する素子を順次切り替えてゆくことにより、表示画面を順次走査して表示を行うことが可能である。

【 0 2 2 9 】

また、第二の特性かまたは第三の特性を利用することにより、発光輝度を制御することができるため、諧調表示を行うことが可能である。

【 0 2 3 0 】

（多数素子を単純マトリクス配線したマルチ電子源の構造）

次に、上述の表面伝導型放出素子を基板上に配列して単純マトリクス配線したマルチ電子源の構造について述べる。

【 0 2 3 1 】

図 2 8 に示すのは、前記図 1 9 の表示パネル 1 0 0 0 に用いたマルチ電子源の

平面図である。基板 1001 上には、前記図 21 で示したものと同様な表面伝導型放出素子が配列され、これらの素子は行方向配線電極 1003 と列方向配線電極 1004 により単純マトリクス状に配線されている。行方向配線電極 1003 と列方向配線電極 1004 の交差する部分には、電極間に絶縁層（不図示）が形成されており、電氣的な絶縁が保たれている。

【0232】

図 28 の A-A' に沿った断面を図 29 に示す。

【0233】

なお、このような構造のマルチ電子源は、あらかじめ基板上に行方向配線電極 1003、列方向配線電極 1004、電極間絶縁層（不図示）、および表面伝導型放出素子の素子電極と導電性薄膜を形成した後、行方向配線電極 1003 および列方向配線電極 1004 を介して各素子に給電して通電フォーミング処理と通電活性化処理を行うことにより製造した。

【0234】

図 30 は、前記説明の表面伝導型放出素子を電子源として用いたディスプレイパネルに、例えばテレビジョン放送をはじめとする種々の画像情報源より提供される画像情報を表示できるように構成した多機能表示装置の一例を示すための図である。図中、1000 は上述したディスプレイパネル、2101 はディスプレイパネルの駆動回路、2102 はディスプレイコントローラ、2103 はマルチプレクサ、2104 はデコーダ、2105 は入出力インターフェース回路、2106 は CPU、2107 は画像生成回路、2108 および 2109 および 2110 は画像メモリインターフェース回路、2111 は画像入力インターフェース回路、2112 および 2113 は TV 信号受信回路、2114 は入力部である。なお、本実施の形態の表示装置は、例えばテレビジョン信号のように映像情報と音声情報の両方を含む信号を受信する場合には、当然映像の表示と同時に音声を再生するものであるが、本発明の特徴と直接関係しない音声情報の受信、分離、再生、処理、記憶などに関する回路やスピーカなどについては説明を省略する。

【0235】

以下、画像信号の流れに沿って各部の機能を説明してゆく。

【0236】

まず、TV信号受信回路2113は、例えば電波や空間光通信などのような無線伝送系を用いて伝送されるTV画像信号を受信するための回路である。受信するTV信号の方式は特に限られるものではなく、例えば、NTSC方式、PAL方式、SECAM方式などの諸方式でもよい。また、これらよりさらに多数の走査線よりなるTV信号（例えばMUSE方式をはじめとするいわゆる高品位TV）は、大面積化や大画素数化に適した前記ディスプレイパネルの利点を生かすのに好適な信号源である。TV信号受信回路2113で受信されたTV信号は、デコーダ2104に出力される。TV信号受信回路2112は、例えば同軸ケーブルや光ファイバーなどのような有線伝送系を用いて伝送されるTV画像信号を受信するための回路である。前記TV信号受信回路2113と同様に、受信するTV信号の方式は特に限られるものではなく、また本回路で受信されたTV信号もデコーダ2104に出力される。

【0237】

画像入力インターフェース回路2111は、例えばTVカメラや画像読み取りスキャナなどの画像入力装置から供給される画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ2104に出力される。画像メモリインターフェース回路2110は、ビデオテープレコーダ（以下VTRと略す）に記憶されている画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ2104に出力される。画像メモリインターフェース回路2109は、ビデオディスクに記憶されている画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ2104に出力される。画像メモリインターフェース回路2108は、いわゆる静止画ディスクのように、静止画像データを記憶している装置から画像信号を取り込むための回路で、取り込まれた静止画像データはデコーダ2104に出力される。

【0238】

また、入出力インターフェース回路2105は、本表示装置と、外部のコンピュータもしくはコンピュータネットワークもしくはプリンタなどの出力装置とを接続するための回路である。画像データや文字データ・図形情報の入出力を行う

のはもちろんのこと、場合によっては本表示装置の備えるCPU 2106と外部との間で制御信号や数値データの入出力などを行うことも可能である。

【0239】

画像生成回路2107は、前記入出力インターフェース回路2105を介して外部から入力される画像データや文字・図形情報や、あるいはCPU 2106より出力される画像データや文字・図形情報に基づき表示用画像データを生成するための回路である。本回路の内部には、例えば画像データや文字・図形情報を蓄積するための書き換え可能メモリや、文字コードに対応する画像パターンが記憶されている読みだし専用メモリや、画像処理を行うためのプロセッサなどをはじめとして画像の生成に必要な回路が組み込まれている。本回路により生成された表示用画像データは、デコーダ2104に出力されるが、場合によっては前記入出力インターフェース回路2105を介して外部のコンピュータネットワークやプリンタ入出力することも可能である。

【0240】

CPU 2106は、主として本表示装置の動作制御や、表示画像の生成や選択や編集に関わる作業を行う。例えば、マルチプレクサ2103に制御信号を出力し、ディスプレイパネルに表示する画像信号を適宜選択したり組み合わせたりする。また、その際には表示する画像信号に応じてディスプレイパネルコントローラ2102に対して制御信号を発生し、画面表示周波数や走査方法（例えばインターレースかノンインターレースか）や一画面の走査線の数など表示装置の動作を適宜制御する。

【0241】

前記画像生成回路2107に対して画像データや文字・図形情報を直接出力したり、あるいは前記入出力インターフェース回路2105を介して外部のコンピュータやメモリをアクセスして画像データや文字・図形情報を入力する。なお、CPU 2106は、むろんこれ以外の目的の作業にも関わるものであっても良い。例えば、パーソナルコンピュータやワードプロセッサなどのように、情報を生成したり処理する機能に直接関わっても良い。あるいは、前述したように入出力インターフェース回路2105を介して外部のコンピュータネットワークと接続

し、例えば数値計算などの作業を外部機器と協同して行っても良い。

【0242】

入力部 2114 は、前記 CPU 2106 に使用者が命令やプログラム、あるいはデータなどを入力するためのものであり、例えばキーボードやマウスのほか、ジョイスティック、バーコードリーダー、音声認識装置など多様な入力機器を用いる事が可能である。

【0243】

デコーダ 2104 は、前記 2107 ないし 2113 より入力される種々の画像信号を 3 原色信号、または輝度信号と I 信号、Q 信号に逆変換するための回路である。なお、同図中に点線で示すように、デコーダ 2104 は内部に画像メモリを備えるのが望ましい。これは、例えば MUSE 方式をはじめとして、逆変換するに際して画像メモリを必要とするようなテレビ信号を扱うためである。また、画像メモリを備えることにより、静止画の表示が容易になる、あるいは前記画像生成回路 2107 および CPU 2106 と協同して画像の間引き、補間、拡大、縮小、合成をはじめとする画像処理や編集が容易に行えるようになるという利点が生まれるからである。

【0244】

マルチプレクサ 2103 は、前記 CPU 2106 より入力される制御信号に基づき表示画像を適宜選択するものである。すなわち、マルチプレクサ 2103 はデコーダ 2104 から入力される逆変換された画像信号のうちから所望の画像信号を選択して駆動回路 2101 に出力する。その場合には、一画面表示時間内で画像信号を切り替えて選択することにより、いわゆる多画面テレビのように、一画面を複数の領域に分けて領域によって異なる画像を表示することも可能である。

【0245】

ディスプレイパネルコントローラ 2102 は、前記 CPU 2106 より入力される制御信号に基づき駆動回路 2101 の動作を制御するための回路である。まず、ディスプレイパネルの基本的な動作にかかわるものとして、例えばディスプレイパネルの駆動用電源（図示せず）の動作シーケンスを制御するための信号を

駆動回路 2101 に対して出力する。また、ディスプレイパネルの駆動方法に関わるものとして、例えば画面表示周波数や走査方法（例えばインターレースかノンインターレースか）を制御するための信号を駆動回路 2101 に対して出力する。また、場合によっては表示画像の輝度やコントラストや色調やシャープネスといった画質の調整に関わる制御信号を駆動回路 2101 に対して出力する場合もある。

【0246】

駆動回路 2101 は、ディスプレイパネル 1000 に印加する駆動信号を発生するための回路であり、前記マルチプレクサ 2103 から入力される画像信号と、前記ディスプレイパネルコントローラ 2102 より入力される制御信号に基づいて動作するものである。

【0247】

以上、各部の機能を説明したが、図 30 に例示した構成により、本表示装置においては多様な画像情報源より入力される画像情報をディスプレイパネル 1000 に表示する事が可能である。すなわち、テレビジョン放送をはじめとする各種の画像信号はデコーダ 2104 において逆変換された後、マルチプレクサ 2103 において適宜選択され、駆動回路 2101 に入力される。一方、ディスプレイコントローラ 2102 は、表示する画像信号に応じて駆動回路 2101 の動作を制御するための制御信号を発生する。駆動回路 2101 は、上記画像信号と制御信号に基づいてディスプレイパネル 1000 に駆動信号を印加する。これにより、ディスプレイパネル 1000 において画像が表示される。これらの一連の動作は、CPU 2106 により統括的に制御される。

【0248】

また、本表示装置においては、前記デコーダ 2104 に内蔵する画像メモリや、画像生成回路 2107 および CPU 2106 が関与することにより、単に複数の画像情報の中から選択したものを表示するだけでなく、表示する画像情報に対して、例えば拡大、縮小、回転、移動、エッジ強調、間引き、補間、色変換、画像の縦横比変換などをはじめとする画像処理や、合成、消去、接続、入れ換え、はめ込みなどをはじめとする画像編集を行う事も可能である。また、本実施の形

態の説明では特に触れなかったが、上記画像処理や画像編集と同様に、音声情報に関しても処理や編集を行うための専用回路を設けても良い。

【 0 2 4 9 】

したがって本実施の形態の表示装置は、テレビジョン放送の表示機器、テレビ会議の端末機器、静止画像および動画像を扱う画像編集機器、コンピュータの端末機器、ワードプロセッサをはじめとする事務用端末機器、ゲーム機などの機能を一台で兼ね備える事が可能で、産業用あるいは民生用として極めて応用範囲が広い。

【 0 2 5 0 】

なお、上記図 3 0 は、表面伝導型放出素子を電子源とするディスプレイパネルを用いた表示装置の構成の一例を示したにすぎず、これのみに限定されるものではない事は言うまでもない。例えば、図 3 0 の構成要素のうち使用目的上必要のない機能に関わる回路は省いても差し支えない。またこれとは逆に、使用目的によってはさらに構成要素を追加しても良い。例えば、本表示装置をテレビ電話機として応用する場合には、テレビカメラ、音声マイク、照明機、モデムを含む送受信回路などを構成要素に追加するのが好適である。

【 0 2 5 1 】

本表示装置においては、とりわけ表面伝導型放出素子を電子源とするディスプレイパネルが容易に薄形化できるため、表示装置全体の奥行きを小さくすることが可能である。それに加えて、表面伝導型放出素子を電子源とするディスプレイパネルは大画面化が容易で輝度が高く視野角特性にも優れるため、本表示装置は臨場感あふれ迫力に富んだ画像を視認性良く表示する事が可能である。

【 0 2 5 2 】

以上説明したように本実施の形態によれば、

マトリクス状に配列した複数の表面伝導型放出素子のそれぞれを、画像信号に応じたパルス幅変調信号により駆動し、その際、駆動波形のパルス波高値が安定する以前の一階調の増加に対するパルス幅変調信号のパルス幅の増加時間を、パルス波高値が安定した後の一階調増加に対するパルス幅変調信号のパルス幅の増加時間より長くすることにより、低輝度部における発光特性を高めることができ

る。

【 0 2 5 3 】

また、画像信号の一階調の増加に対する輝度の変動量が、どの階調でもほぼ等しくなるようにパルス幅変調の時間を決めることにより、低輝度時の階調性を良好に保つことができる画像表示装置を最小限のハードウェアの増加で実現するものである。

【 0 2 5 4 】

特に、大きなサイズのマトリクス画像表示パネルでは、配線が長くなることにより静電容量が大きくなり、そのため駆動波形の立ち上がりが更に鈍ることが予想される。その場合に本実施の形態の装置及び方法によれば、そのような不具合を解消できるという効果がある。

【 0 2 5 5 】

以上説明したように各実施の形態によれば、入力画像データに応じた輝度の画像を形成して階調の再現性を高めた画像形成方法及び装置を提供できる。

【 0 2 5 6 】

また、特に低輝度時の階調性を良好に維持できるという効果がある。

【 0 2 5 7 】

また、入力した画像データをパルス幅変調し、その変調した信号に応じて画像データの階調に応じた画像を形成できるという効果がある。

【 0 2 5 8 】

【発明の効果】

以上説明したように本発明によれば、画像信号の変換特性に応じた周波数のクロック信号によりパルス幅変調した信号を出力して画像を表示できるという効果がある。

【 0 2 5 9 】

また本発明によれば、要求される輝度分解能を持つ画像を最小限の規模のハードウェアにより実現できるという効果がある。

【図面の簡単な説明】

【図 1】

本発明の実施の形態に係る画像表示装置の構成を示すブロック図である。

【図 2】

本発明の実施の形態 1 に係る変調信号発生部の構成を示すブロック図である。

【図 3】

実施の形態 1 に係る変調信号発生部における動作タイミング図である。

【図 4】

実施の形態 1 に係る PWM クロック発生器の構成を示す図である。

【図 5】

実施の形態 1 に係る PWM クロック発生器における動作を示すタイミング図である。

【図 6】

本発明の実施の形態 1 の画像表示装置の動作を示すタイミング図である。

【図 7】

従来例の表示パネルの駆動信号の波形図である。

【図 8】

従来の駆動信号における立上がりの遅れに起因する問題点を説明する図である。

【図 9】

本実施の形態 1 に係る入力データ対発光輝度の関係を示すグラフ図である。

【図 1 0】

素子の駆動時間と発光輝度との関係を示すグラフ図である。

【図 1 1】

本発明の実施の形態 2 に係る PWM クロック発生器の構成を示すブロック図である。

【図 1 2】

本実施の形態 2 に係る PWM クロック発生器の動作を示すタイミング図である。

【図 1 3】

本実施の形態 2 に係る入力データと発光輝度との関係を示すグラフ図である。

【図 1 4】

本発明の実施の形態 3 に係る PWM クロック発生器の構成を示すブロック図である。

【図 1 5】

本実施の形態 3 に係る ROM のデータ構成を説明する図である。

【図 1 6】

本発明の実施の形態 4 に係る PWM クロック発生器の構成を示すブロック図である。

【図 1 7】

変調信号発生部の他の実施の形態の構成を示すブロック図である。

【図 1 8】

図 1 7 の変調信号発生部の動作タイミングを示すタイミング図である。

【図 1 9】

本発明の実施の形態に係る画像表示装置の表示パネルの一部を切り欠いて示した斜視図である。

【図 2 0】

表示パネルのフェースプレートの蛍光体配列を例示した平面図である。

【図 2 1】

本実施の形態で用いた平面型の表面伝導型放出素子の平面図 (A) , 断面図 (B) である。

【図 2 2】

本実施の形態の平面型の表面伝導型放出素子の製造工程を示す図である。

【図 2 3】

本実施の工程における通電フォーミング処理の際の印加電圧波形を示す図である。

【図 2 4】

本実施の形態の通電活性化処理の際の印加電圧波形 (a) , 放電電流 I_e の変化 (b) を示す図である。

【図 2 5】

本実施の形態で用いた垂直型の表面伝導型放出素子の断面図である。

【図 2 6】

垂直型の表面伝導型放出素子の製造工程を示す断面図である。

【図 2 7】

本実施の形態で用いた表面伝導型放出素子の典型的な特性を示すグラフ図である。

【図 2 8】

本実施の形態で用いたマルチ電子源の基板の平面図である。

【図 2 9】

本実施の形態で用いたマルチ電子源の基板の一部断面図である。

【図 3 0】

本発明の実施の形態に係る画像表示装置を用いた多機能画像表示装置のブロック図である。

【図 3 1】

実施の形態 5 に係る PWM クロック発生器の構成を示すブロック図である。

【図 3 2】

本実施の形態 5 及び 6 に係る PWM クロック発生器の ROM データを説明する図である。

【図 3 3】

本実施の形態 5 に係る画像表示装置の動作を示すタイミング図である。

【図 3 4】

本実施の形態 5 に係る入力データ対輝度出力特性を示すグラフ図である。

【図 3 5】

実施の形態 5 に係る入力データ対輝度誤差特性を拡大して示すグラフ図である。

【図 3 6】

本実施の形態 6 に係る PWM クロック発生器の構成を示すブロック図である。

【図 3 7】

参考の形態 1 に係る PWM クロック発生器の構成を示すブロック図である。

【図 3 8】

参考の形態 1 に係る P W M クロック発生器の動作を説明する図である。

【図 3 9】

参考の形態 1 に係る入力データ対輝度出力特性を示すグラフ図である。

【図 4 0】

参考の形態 2 に係る P W M クロック発生器の動作を説明する図である。

【図 4 1】

参考の形態 2 に係る入力データ対輝度出力特性を示すグラフ図である。

【図 4 2】

参考の形態 2 に係る入力データ対輝度誤差特性を拡大して示すグラフ図である。

【図 4 3】

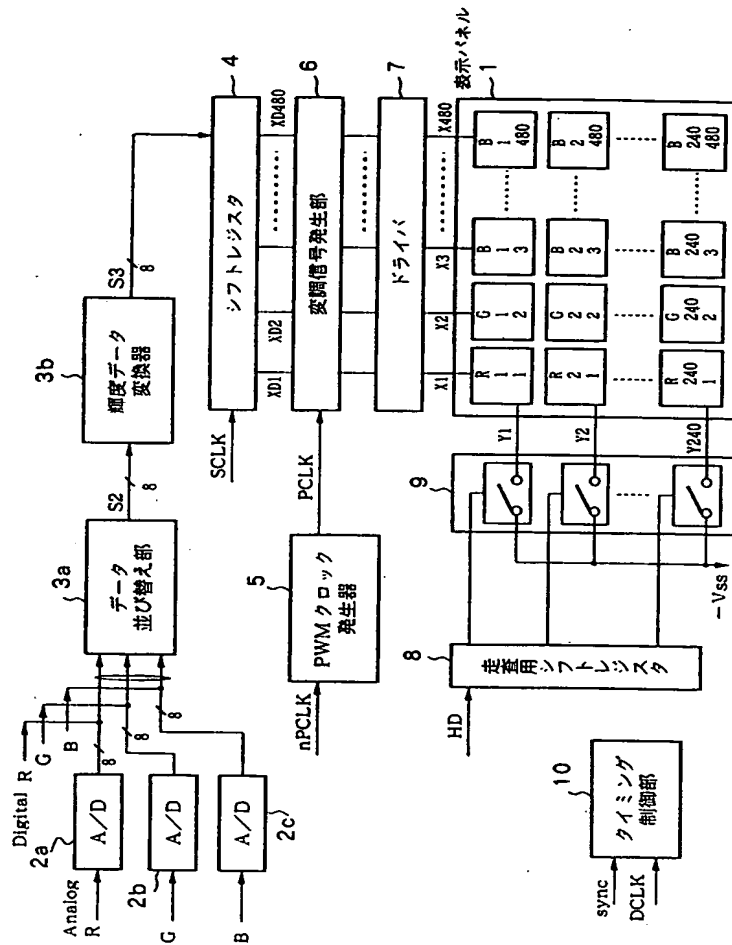
本発明の実施の形態 7 に係る P W M クロック発生器の構成を示すブロック図である。

【図 4 4】

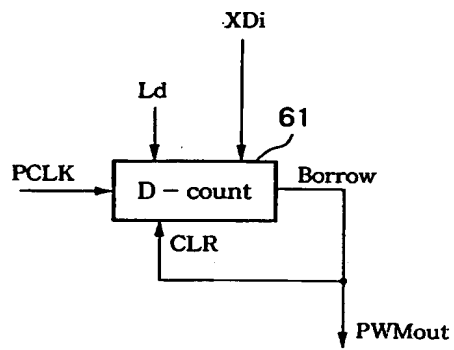
実施の形態 8 及び 9 に係る P W M クロック発生器の R O M データを説明する図である。

【書類名】 図面

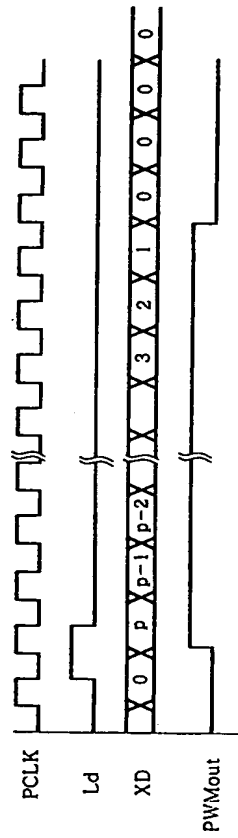
【図 1】



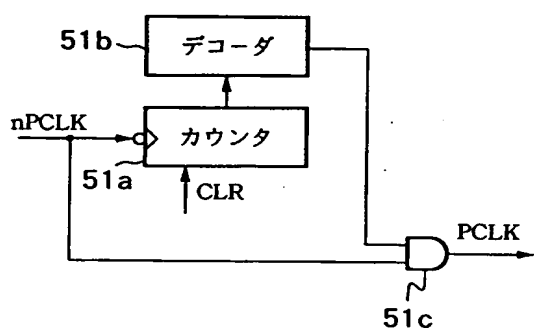
【図 2】



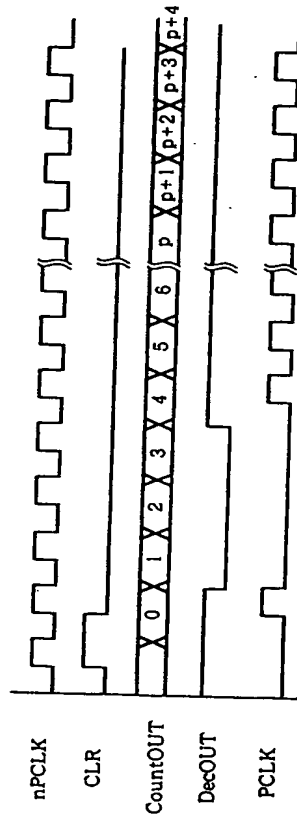
【図 3】



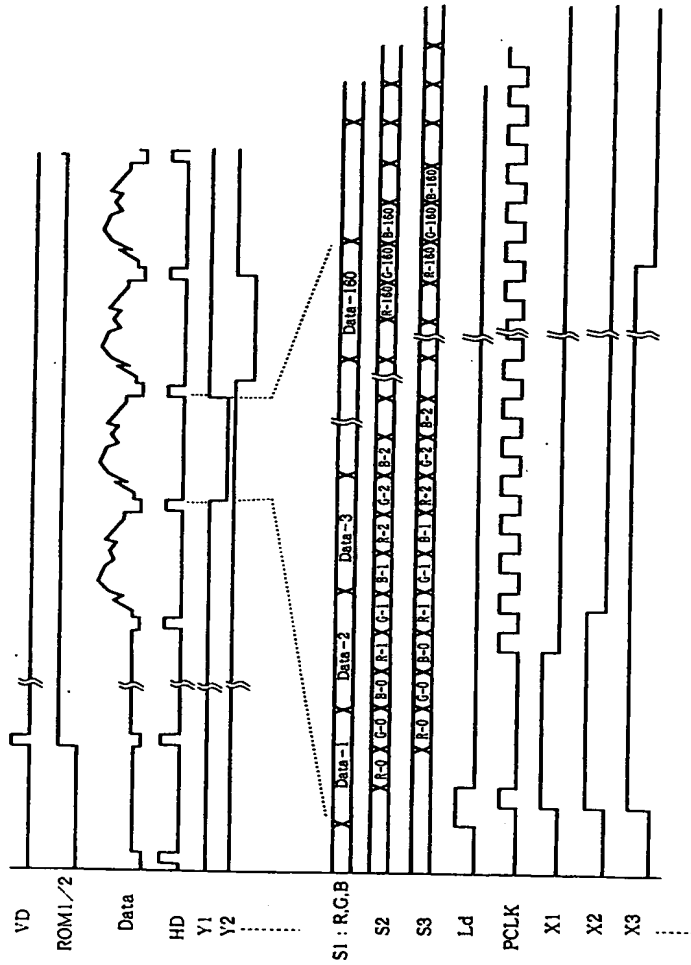
【図 4】



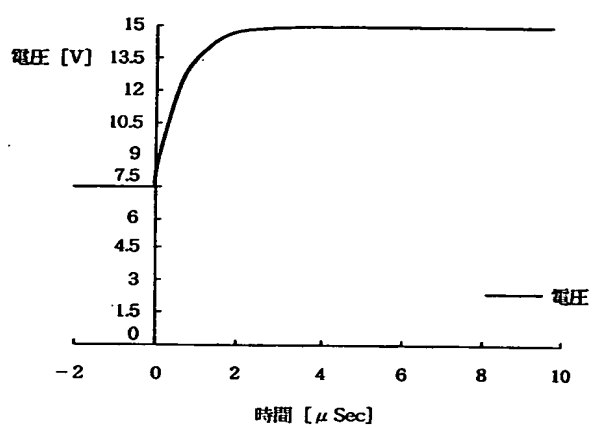
【図 5】



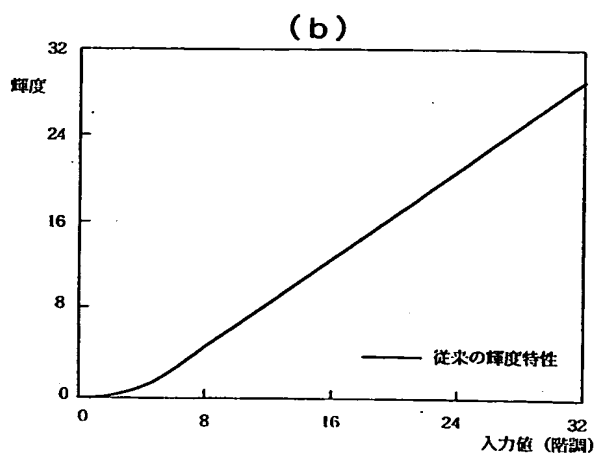
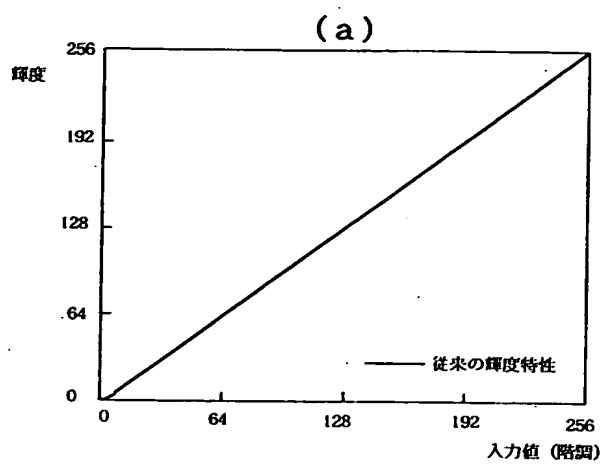
【図 6】



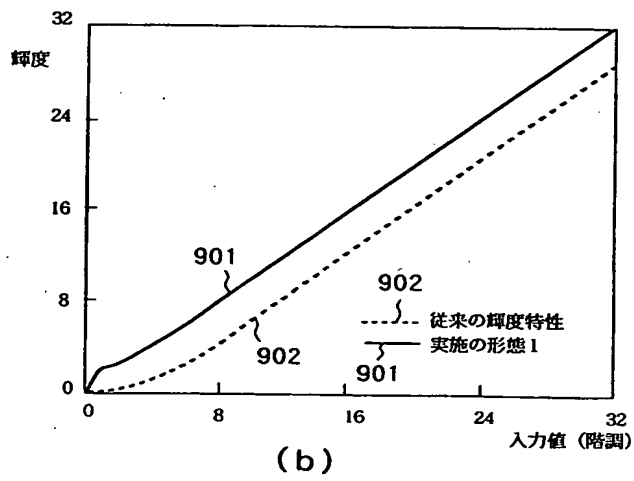
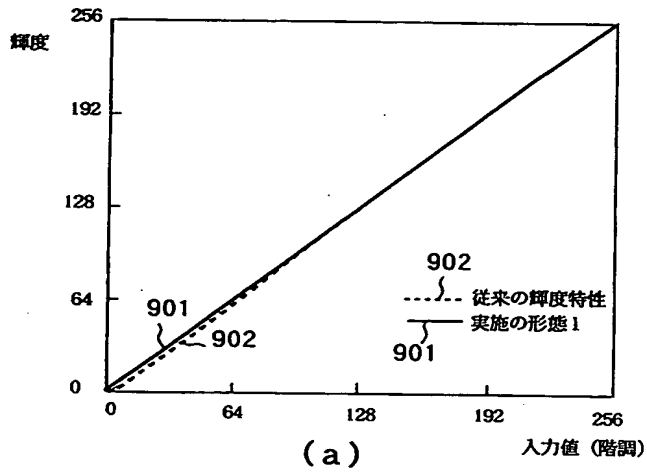
【図 7】



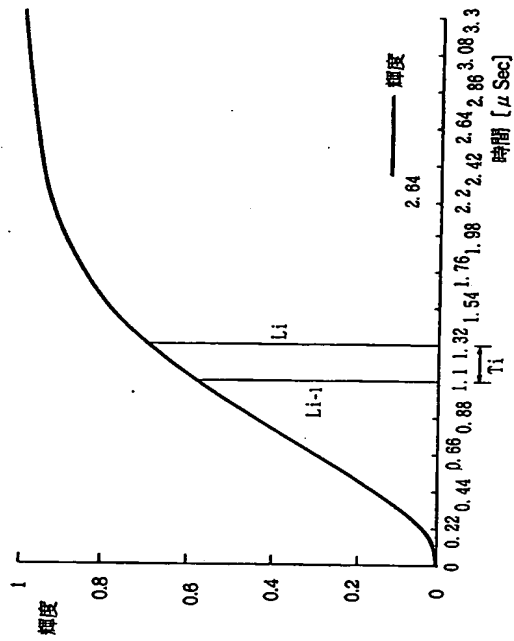
【図 8】



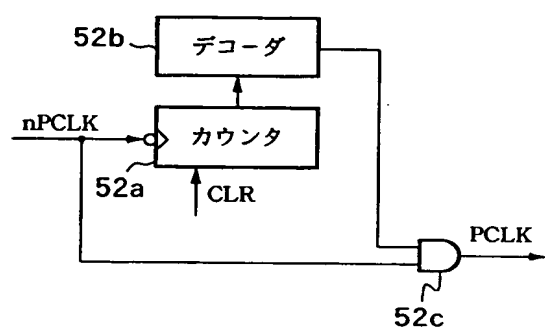
【図 9】



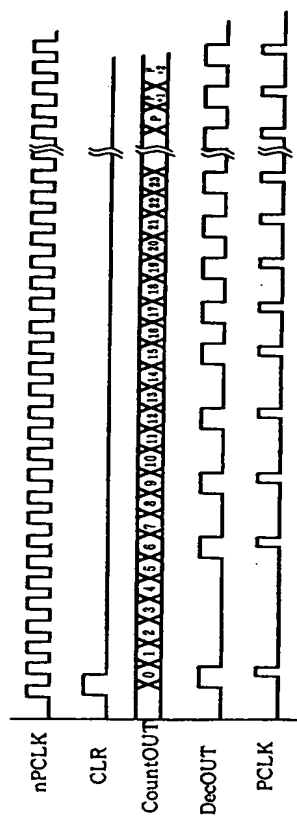
【図 10】



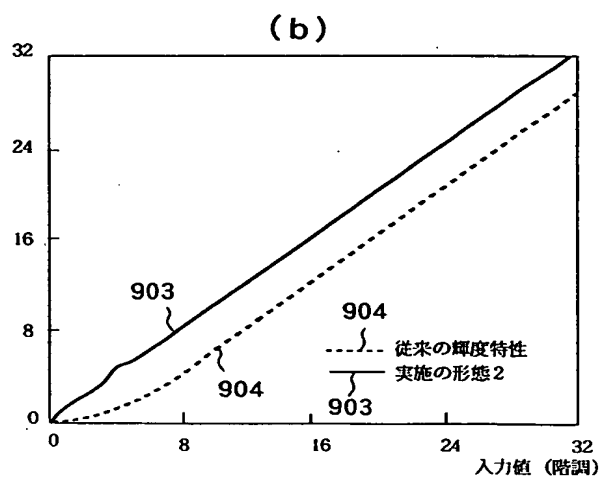
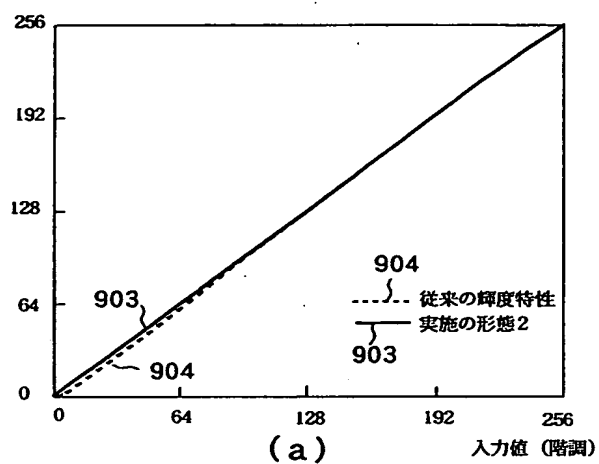
【図 1 1】



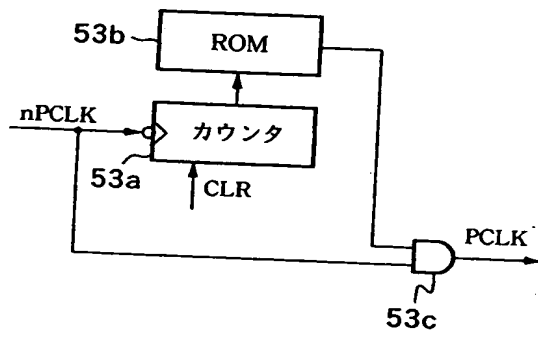
【図 1 2】



【図 13】



【図 1 4】

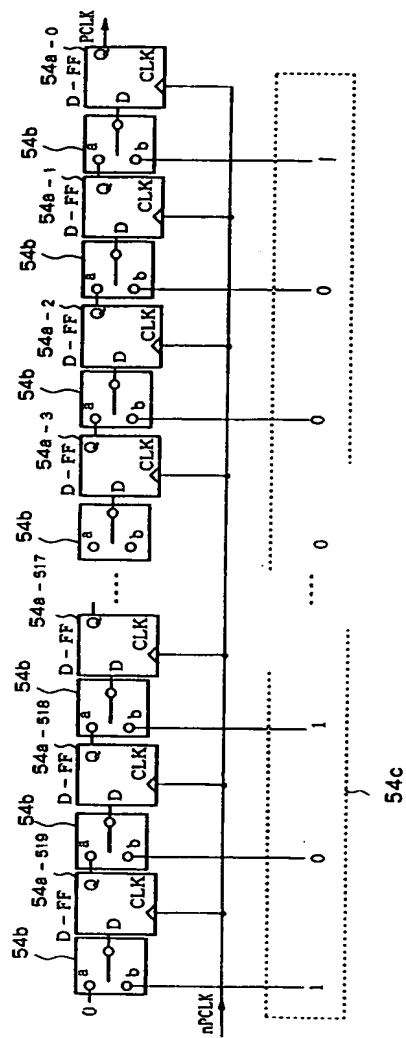


【図 1 5】

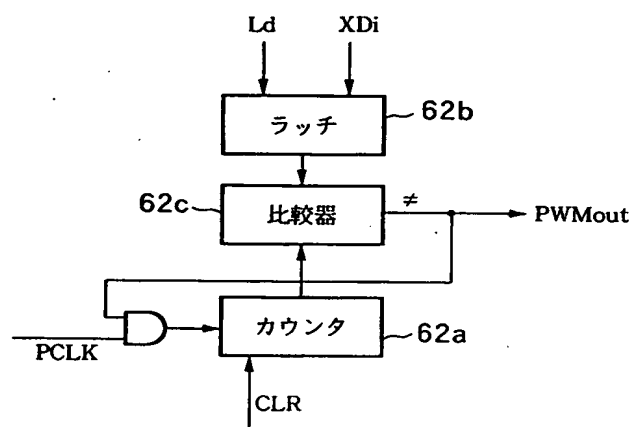
ROM の出力が “H” レベルであるアドレスを示す
(他のアドレスのデータは “L” レベル)

0
6
9
12
15
17
17 から 519 以降奇数アドレス

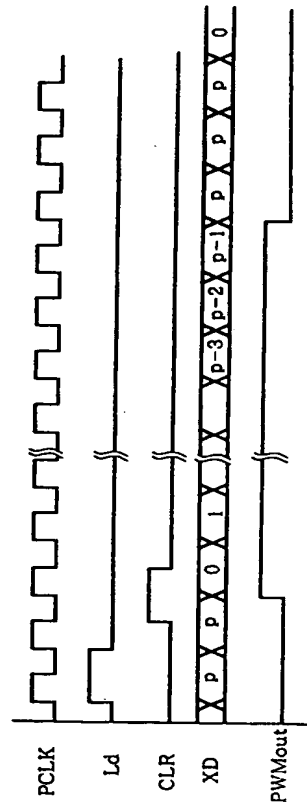
【図 1 6】



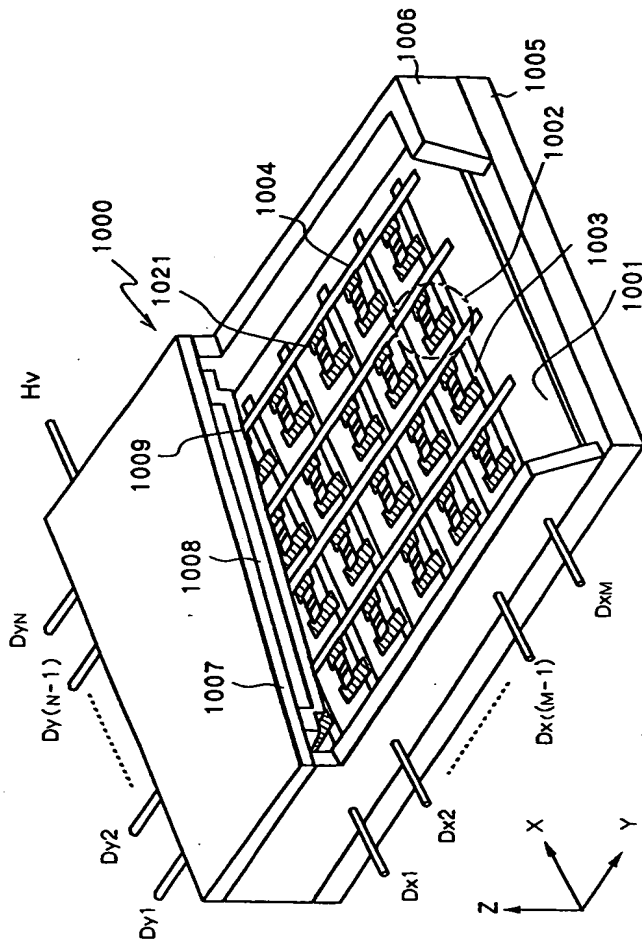
【図 1 7】



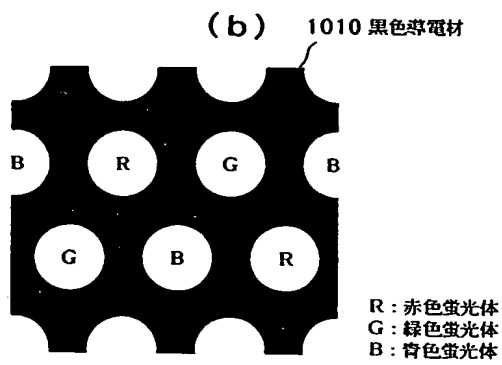
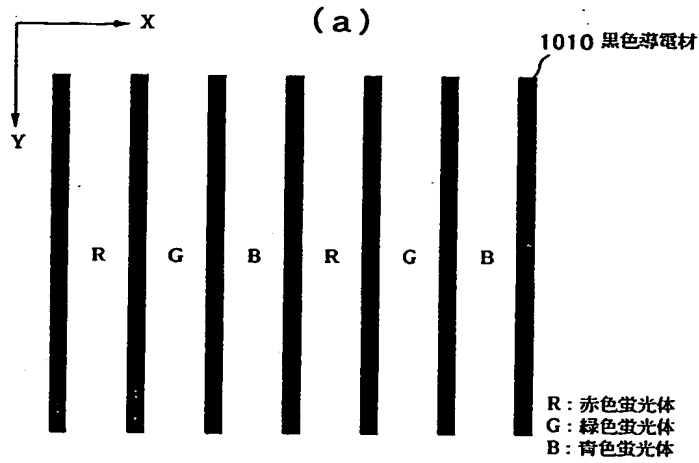
【図 1 8】



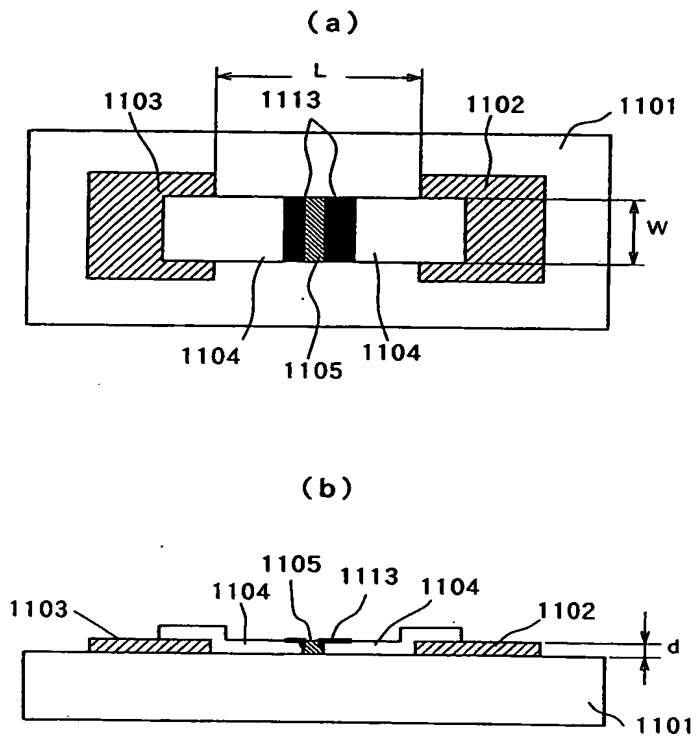
【図 1 9】



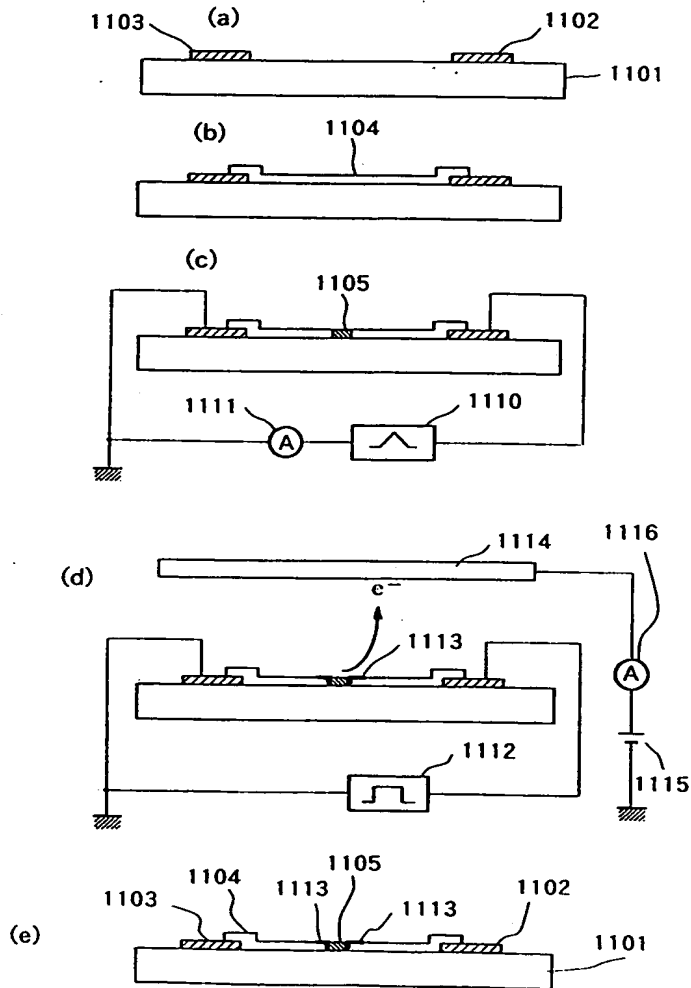
【図 2 0】



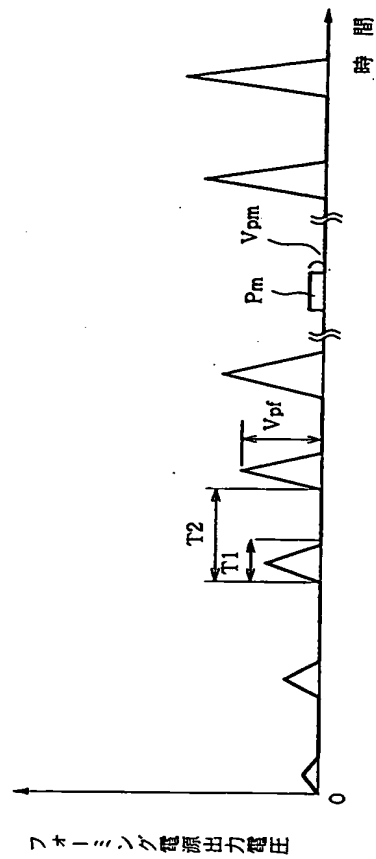
【図 21】



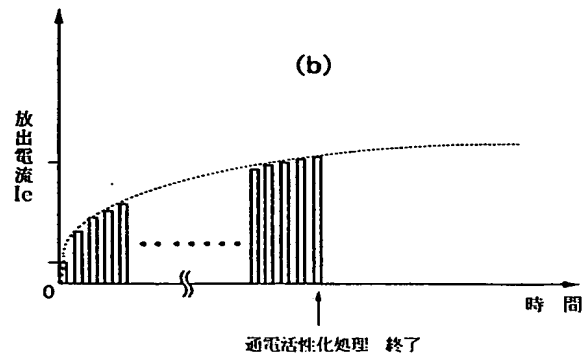
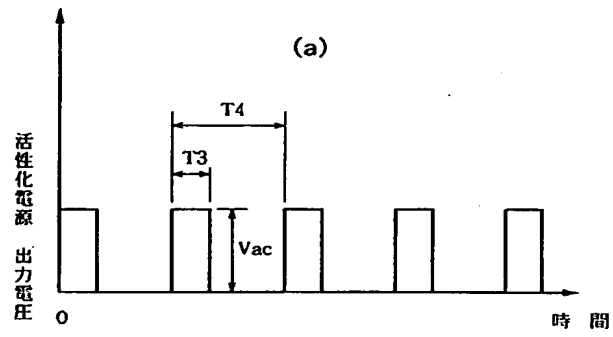
【図 22】



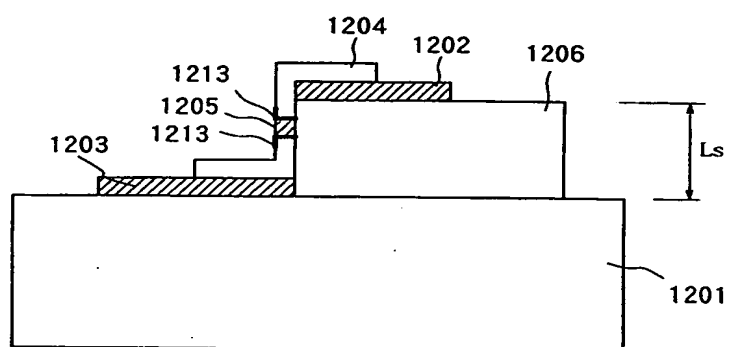
【図 23】



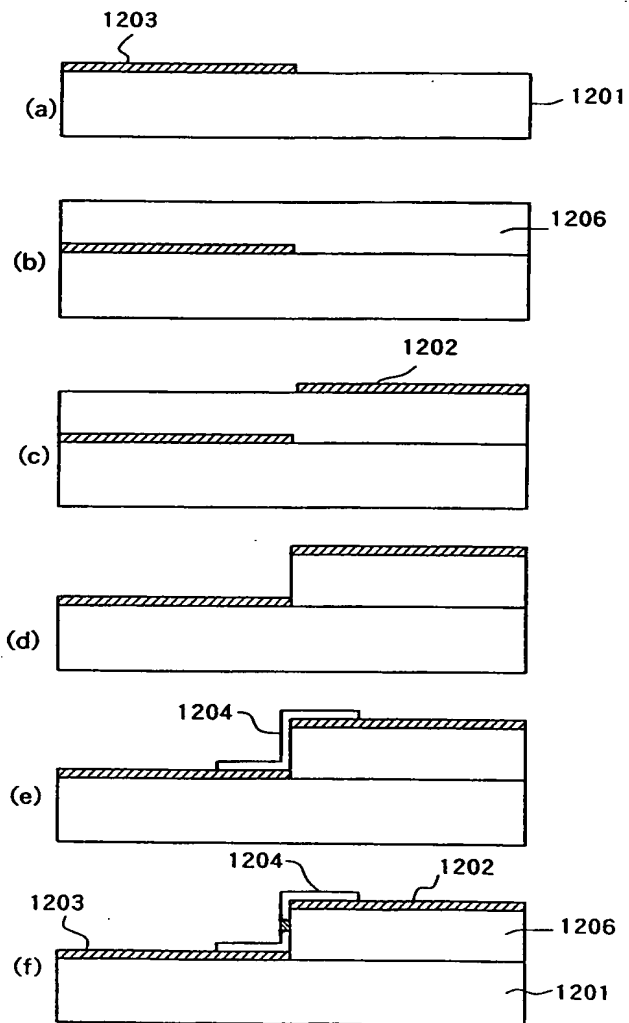
【図 2 4】



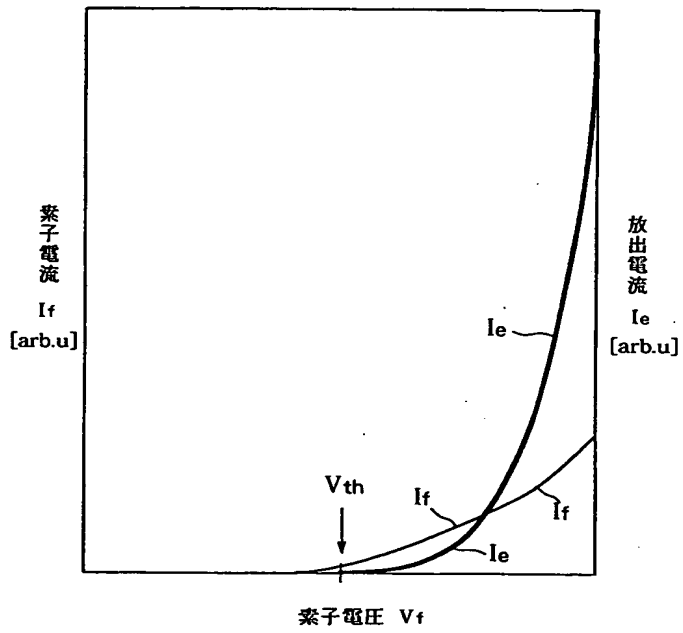
【図 2 5】



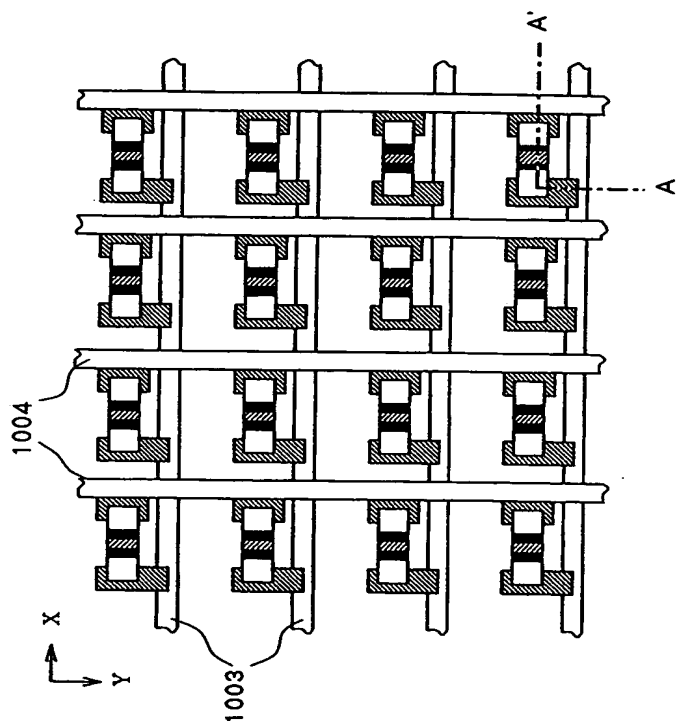
【図 2 6】



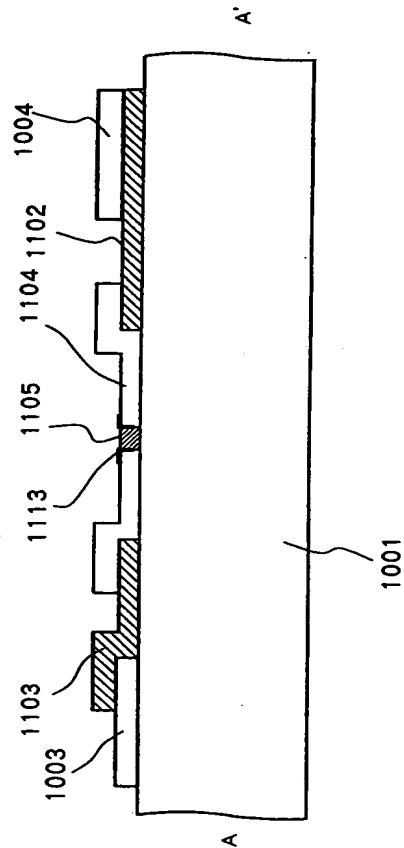
【図 2 7】



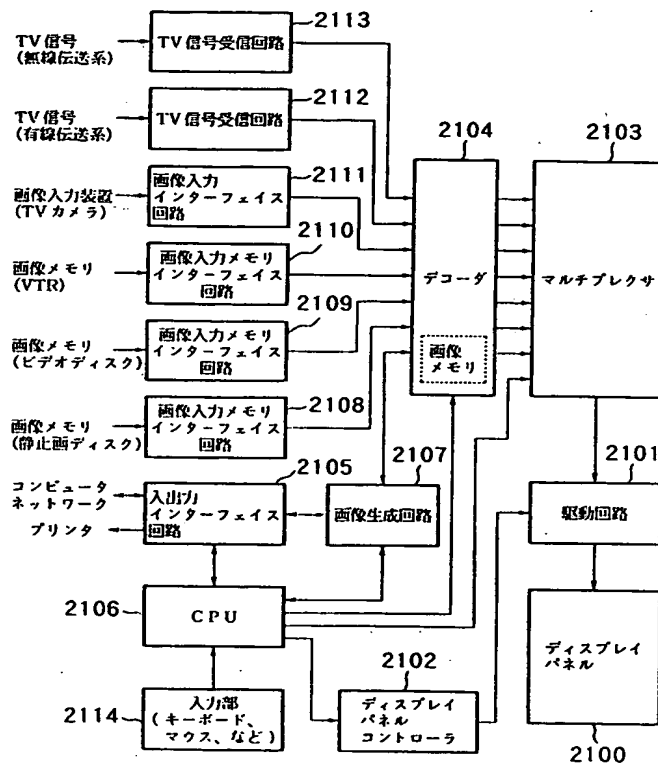
【図 28】



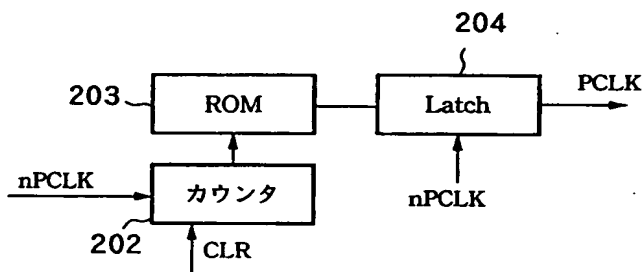
【図 2 9】



【図 30】



【図 3 1】

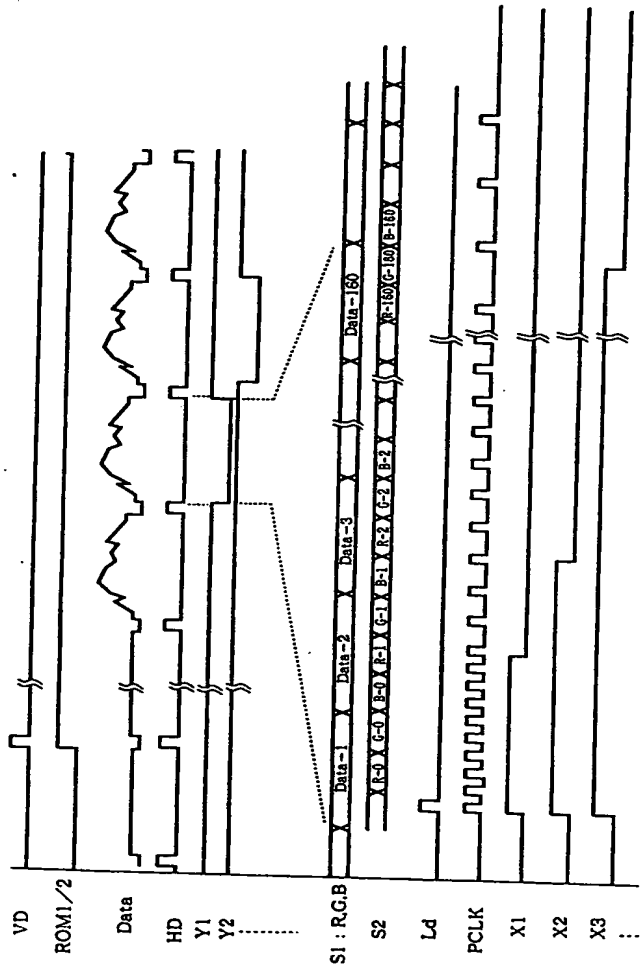


【図 3 2】

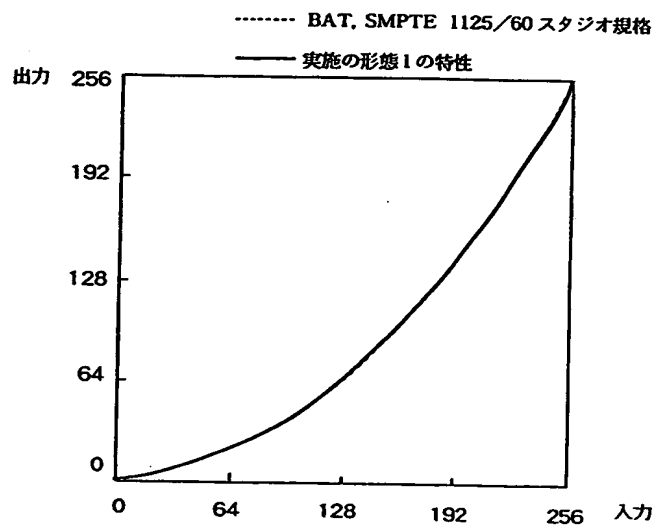
データが "1" であるアドレスを示す数
(他のアドレスのデータは "0" を示す)

0	40	86	152	240	350	484	640	820	1026	1256	1516	1800
2	42	90	156	246	356	490	646	830	1038	1270	1530	1816
4	44	92	160	250	362	498	656	840	1048	1284	1544	1830
6	46	96	164	256	368	506	666	850	1060	1296	1558	1846
8	48	98	168	260	374	512	674	860	1070	1308	1572	1860
10	50	102	172	266	382	520	682	870	1082	1320	1584	1876
12	52	104	176	272	388	528	692	880	1094	1332	1598	1892
14	54	108	182	276	394	536	700	890	1104	1346	1612	1906
16	56	110	186	282	400	542	710	900	1116	1358	1626	1922
18	58	114	190	288	408	550	718	910	1128	1372	1642	1938
20	62	118	194	292	414	558	728	920	1140	1384	1656	1954
22	64	120	198	298	420	566	736	930	1150	1396	1670	1968
24	66	124	202	304	428	574	746	942	1162	1410	1684	1984
26	68	128	208	310	434	582	754	952	1174	1424	1698	2000
28	70	130	212	316	440	590	764	962	1186	1436	1712	2016
30	74	134	216	320	448	598	774	972	1198	1450	1728	2032
32	76	138	222	326	454	606	782	984	1210	1462	1742	2048
34	78	142	226	332	462	614	792	994	1222	1476	1756	
36	82	146	230	338	468	622	802	1004	1234	1490	1772	
38	84	150	236	344	476	632	810	1016	1246	1502	1786	

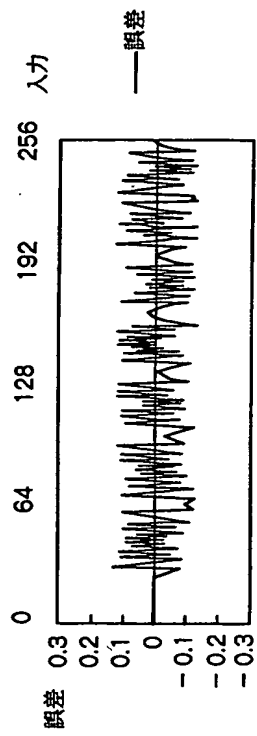
【図 3 3】



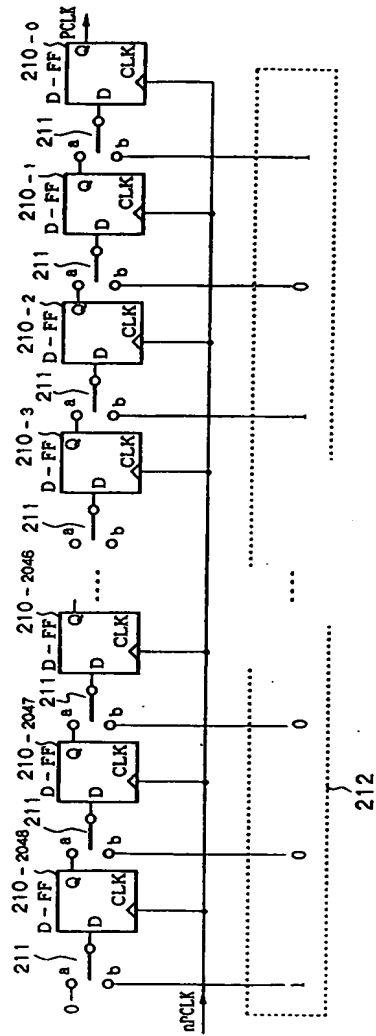
【図 3 4】



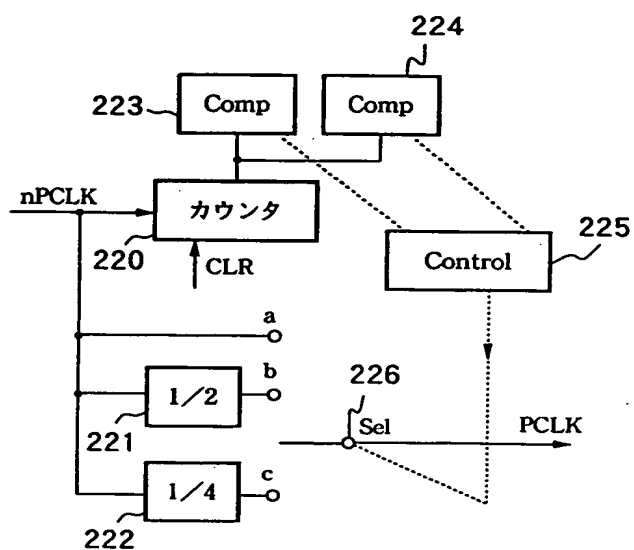
【図 3 5】



【図 3 6】



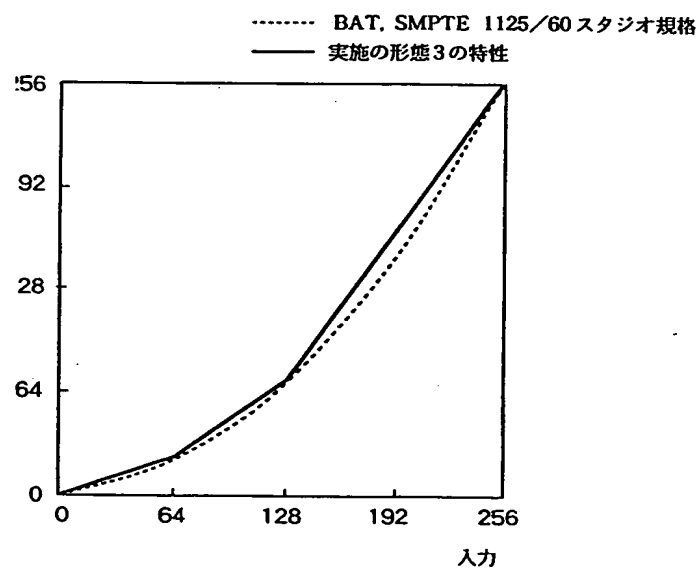
【図 3 7】



【図 3 8】

カウンタの値	分周比
0～63	1/1
64～191	1/2
192～703	1/4

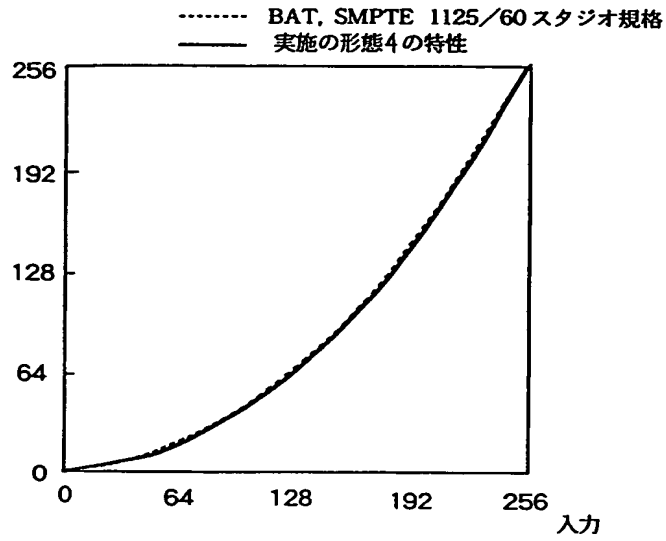
【図 39】



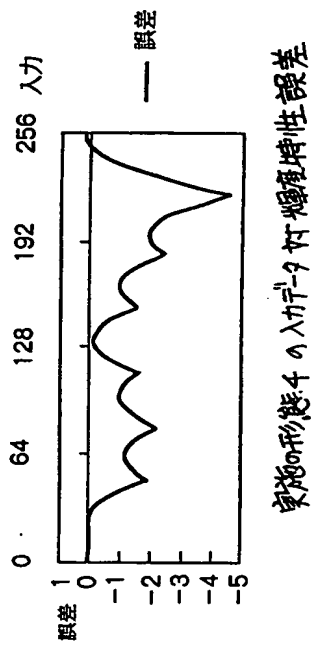
【図 4 0】

カウンタの値	分周比
0～47	1/1
48～111	1/2
112～207	1/3
208～367	1/4
368～527	1/5
528～751	1/6
752～1029	1/8

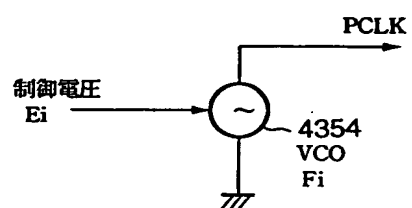
【図 4 1】



【図 4 2】



【図 4 3】



【図 4 4】

データが“1”であるアドレスを示す表
(他のアドレスのデータは“0”を示す)

0	76	124	190	276	384	514	666	844	1046	1274	1528	1806
20	78	126	194	280	390	520	676	854	1058	1286	1540	1822
26	80	130	198	286	396	528	684	864	1068	1298	1554	1836
32	84	132	202	290	402	534	692	874	1080	1310	1568	1850
36	86	136	204	296	408	542	700	884	1090	1322	1580	1866
40	88	138	208	300	414	550	710	892	1102	1336	1594	1880
42	90	142	214	306	420	556	718	902	1112	1348	1608	1896
46	92	144	218	310	426	564	726	912	1124	1360	1622	1910
48	94	146	222	316	432	572	736	922	1134	1372	1636	1926
50	96	152	226	322	438	580	744	932	1146	1384	1650	1940
54	98	154	230	326	446	588	752	942	1158	1398	1664	1956
56	100	158	234	332	452	594	762	952	1168	1410	1678	1972
58	104	160	238	338	458	602	770	962	1180	1422	1692	1986
60	106	164	242	342	466	610	780	974	1192	1436	1706	2002
64	108	168	248	348	472	618	788	984	1204	1448	1720	2018
66	110	172	252	354	478	626	798	994	1214	1462	1734	2034
68	114	174	256	360	486	634	808	1004	1226	1474	1748	2048
70	116	178	262	366	492	642	816	1014	1238	1488	1762	
72	118	182	266	372	500	650	826	1026	1250	1500	1778	
74	122	186	270	378	506	656	836	1036	1262	1514	1792	

【書類名】 要約書

【要約】

【課題】 パルス幅変調のための新たな構成を提示する。

【解決手段】 本願は、パルス幅変調を行う画像形成装置において、パルス幅の設定をクロックのカウントによって行う構成を開示する。特に、クロックの周波数の設定により、階調の補正を行う構成におけるクロック設定の方法として、周期的なクロックをカウントし、該カウント数に応じて出力パターンを切り替える構成、もしくは、クロックパターンに対応する情報を記憶して置き、該情報を順次読み出してクロックとして用いる構成、もしくは制御信号により周波数を制御できるクロック源を用いる方法を開示する。

【選択図】 図 1

認定・付加情報

特許出願の番号	平成11年 特許願 第032255号
受付番号	59900113654
書類名	特許願
担当官	第一担当上席 0090
作成日	平成11年 2月17日

<認定情報・付加情報>

【特許出願人】

【識別番号】

000001007

【住所又は居所】

東京都大田区下丸子3丁目30番2号

【氏名又は名称】

キヤノン株式会社

【代理人】

申請人

【識別番号】

100076428

【住所又は居所】

東京都千代田区麴町5丁目7番地 紀尾井町TB
Rビル507号室

【氏名又は名称】

大塚 康德

【選任した代理人】

【識別番号】

100093908

【住所又は居所】

東京都千代田区麴町5丁目7番地 紀尾井町TB
Rビル507号室

【氏名又は名称】

松本 研一

【選任した代理人】

【識別番号】

100101306

【住所又は居所】

東京都千代田区麴町5丁目7番地 紀尾井町TB
Rビル507号室

【氏名又は名称】

丸山 幸雄

出 願 人 履 歴 情 報

識別番号 [000001007]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都大田区下丸子3丁目30番2号

氏 名 キヤノン株式会社